



⑬ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Übersetzung der  
europäischen Patentschrift**

⑨⑦ **EP 0 718 977 B 1**

⑩ **DE 695 25 517 T 2**

⑤⑦ Int. Cl.<sup>7</sup>:  
**H 03 K 19/0185**  
G 05 F 1/46

- ②① Deutsches Aktenzeichen: 695 25 517.7  
⑨⑥ Europäisches Aktenzeichen: 95 308 561.0  
⑨⑥ Europäischer Anmeldetag: 28. 11. 1995  
⑨⑦ Erstveröffentlichung durch das EPA: 26. 6. 1996  
⑨⑦ Veröffentlichungstag  
der Patenterteilung beim EPA: 20. 2. 2002  
④⑦ Veröffentlichungstag im Patentblatt: 12. 9. 2002

- ③⑩ Unionspriorität:  
359397 20. 12. 1994 US
- ⑦③ Patentinhaber:  
STMicroelectronics, Inc., Carrollton, Tex., US
- ⑦④ Vertreter:  
Schwabe, Sandmair, Marx, 81677 München
- ⑥④ Benannte Vertragsstaaten:  
DE, FR, GB, IT

- ⑦② Erfinder:  
McCLure, David C., Denton, Texas 75007, US

⑤④ Ausgangssteuerschaltung mit auswählbarem, eingeschränktem Hochspannungsausgang

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**DE 695 25 517 T 2**

**DE 695 25 517 T 2**

10.04.02

95 308 561.0

EP 0 718 977

Diese Erfindung liegt auf dem Gebiet von integrierten Schaltungen und ist insbesondere auf Treiberausgangsschaltungen bzw. Ausgangstreiberschaltungen davon gerichtet.

Diese Anmeldung steht in einem Verhältnis zu den europäischen Patentanmeldungen Nrn. 95 308 559.4, 95 308 560.2, 95 308 562.8, 95 308 543.8 und 95 308 563.6, die gleichzeitig angemeldet worden sind.

In modernen digitalen integrierten Schaltungen, insbesondere jenen, die gemäß den wohl bekannten komplementären Metalloxidhalbleitertechnologien (CMOS-Technologien) hergestellt sind, sind Ausgangsdatschaltungen bzw. Datenausgangsschaltungen allgemein in der Form von Push-Pull-Treiberschaltungen realisiert. Wie es im Stand der Technik wohl bekannt ist, enthalten Push-Pull-Ausgangstreiberschaltungen zwei Treibertransistoren; ein Treibertransistor (die Anlaufeinrichtung) treibt den Ausgangsanschluss in Richtung der positiven Leistungszufuhrspannung, um einen logisch hohen Pegel zu bewirken, während der zweite Treibertransistor (die Ausschalteinrichtung) den Ausgangsanschluss in Richtung des Erdpotenziales treibt, um einen niedrigen logischen Pegel zu bewirken. In CMOS-Schaltungen ist die Anlaufeinrichtung bzw. Startereinrichtung allgemein als ein p-Kanal-MOS-Transistor realisiert, während die Ausschalteinrichtung als ein n-Kanal-MOS-Transistor verwirklicht ist. Dieser Aufbau stellt sicher, dass kein DC-Strom durch den Ausgangstreiber gezogen wird. Zusätzlich wird eine Anlaufeinrichtung mit p-Kanal verwendet, die es ermöglicht, den Ausgangsanschluss vollständig auf die Leistungszufuhrspannung zu treiben, das heißt von "Schiene zu Schiene" bzw. „Leitung zu Leitung“ ("rail-to-rail"), da es keinen Schwellenwertspannungsabfall über die p-Kanal-Anlaufeinrichtung gibt (wie es der Fall wäre, falls die Anlaufeinrichtung ein Transistor mit n-Kanal wäre).

Die meisten integrierten MOS-Schaltungen, die über die letzten 15 Jahre hergestellt worden sind, sind durch eine Leistungszufuhr bzw. ein Netzteil mit nominal 5 Volt betrieben worden. Mit der Einführung von ultradünnen dielektrischen Gateschichten jedoch, die bei der Herstellung von modernen MOS-Transistoren verwendet werden, werden jedoch viele gegenwärtige integrierte Schaltungen von einer Leistungszufuhr bzw. einem Netzteil mit nominal 3,3 Volt betrieben. Da beide Typen von Schaltungen in modernen digitalen Systemen verfügbar und nützlich bleiben, müssen Daten häufig von einer Schaltung mit 5 Volt zu einer Schaltung mit 3,3 Volt über Kommunikationsleitungen oder Busse übertragen werden. Falls sämtliche integrierten Schaltungen in dem System dazu in der Lage wären, die gleiche Netzteilvorspannung zu verwenden, wären Ausgangspegel von Schiene zu Schiene bzw. Leitung zu Leitung nicht nur akzeptabel, sondern bevorzugt. Falls jedoch gemischte Netzteileinrichtungen in das gleiche System einbezogen sind, muss darauf geachtet werden, dass ein Signal mit logisch hohem Pegel, das durch eine Einrichtung mit 5 Volt getrieben worden ist, 3,3 Volt nicht übersteigt, um die Beschädigung einer Einrichtung mit 3,3 Volt, die solch ein Signal empfängt, zu vermeiden.

In derartigen Situationen ist es wünschenswert, für die Einrichtung mit 5 Volt, einen hohen Ausgangsspannungspegel zur Verfügung zu stellen, der einem extrem eingeschränkten Satz von Spezifikationsanforderungen genügt. Diese Anforderungen umfassen einen minimalen logisch hohen Spannungspegel ( $V_{OH}$ ) von 2,4 Volt und einen maximalen  $V_{OH}$  von 3,3 Volt, während 4 mA Source- bzw. Quellenstrom in jedem Zustand zur Verfügung gestellt werden, wobei die Notwendigkeit, dass die Spezifikationsabweichungen des Netzteils bzw. der Leistungszufuhr mit 5 Volt die Spezifikation für die maximale und die minimale Ausgangslastbedingung insgesamt über eine erwartete Variation der Prozessparameter der Herstellung erfüllen, in Betracht gezogen wird. Zusätzlich ist es insbesondere für integrierte Schaltungen in hochfunktionalen Systemen speziell wünschenswert, eine schnelle Schaltfunktion mit minimalem Überspringen und Unterschwingen (z.B. mit Einstellzeiten von weniger als 10 ns) und mit einer minimalen Ausgangsimpedanz der Schaltung zur Verfügung zu stellen.

Gemäß herkömmlichen Designmethoden können diese Spezifikationsbeschränkungen für Schaltungen mit typischen Prozess- und Spannungsvariationen nicht erzielbar sein. Für eine  $V_{OH}$ -Maximalspannung von 3,3 Volt und eine  $V_{OH}$ -Minimalspannung von 2,4 Volt beträgt das gesamte Betriebsfenster (das heißt die Differenz dazwischen) 0,9 Volt. Gemäß typischen modernen Designparametern übersetzen sich bloße Betrachtungen der maximalen und minimalen Ausgangslastbedingungen (4 mA bis 0 mA) zu einer Verringerung des Betriebsfensters auf 0,75 Volt. Variationen der Netzteilspannung bzw. Energiezufuhrspannung werden Variationen in der Bezugsspannung des Ausgangstreibers bzw. des Treiberausgangs verursachen, die typischerweise durch einen Widerstandsteiler erzeugt werden, wobei das Betriebsfenster um weitere 0,30 Volt verringert wird. Das minimale Sicherheitsband auf dem  $V_{OH}$ -Minimalpegel von 2,4 Volt beträgt typischerweise 200 mV. Dementsprechend beträgt, selbst wenn man den Effekt der Prozessvariationen missachten würde, die Summe der Verringerungen des Betriebsfensters auf Grund dieser Faktoren 1,25 Volt, was anzeigt, dass ein Maximum von  $V_{OH}$  von 3,3 Volt mit herkömmlicher CMOS-Technologie selbst in dem besten Fall nicht zu erreichen ist (das heißt keine Prozessvariationen).

Für den Ausgangstreiber, der eine hohe Ausgangsspannung auf weniger als den Leistungszufuhr- bzw. Netzteilpegel treibt, kann, wie es für einen Ausgangstreiber mit 5 Volt der Fall wäre, der eine maximale  $V_{OH}$  von 3,3 Volt treiben würde, eine Anlaufeinrichtung mit n-Kanal verwendet werden und wäre zu bevorzugen auf Grund der größeren Mobilität von MOS-Transistoren mit n-Kanal im Verhältnis zu MOS-Transistoren mit p-Kanal. In diesem Fall muss die Gatespannung, die an die Anlaufeinrichtung mit n-Kanal (um sie einzuschalten) angelegt werden muss, oberhalb des minimalen Pegels von  $V_{OH}$ , um zumindest die Schwellenspannung der Einrichtung sein. Es wird zu bevorzugen sein, dass eine exzessiv hohe Gatevorspannung an der Anlaufeinrichtung die Schaltungsoptionen beschränken wird, die zur Realisierung des verringerten  $V_{OH}$ -Maximumausgangstreibers verfügbar sind. Während die erforderliche Gatespannung entweder durch Vorspannen des Körperknotens der Anlaufeinrichtung mit n-Kanal zu seiner Source (das heißt zu dem Ausgangsanschluss) oder durch Verwendung einer Anlaufeinrichtung mit n-Kanal mit einer natürlichen (nicht implantierten) Schwellenspannung verringert werden könnte, sind diese Optionen unerwünscht, wobei die Zerstörbar-

keit der Schaltung zum Einklinken (in dem Fall, wo  $V_{BS} = 0$ ) und die Instabilität und die verringerte Zuverlässigkeit von natürlichen  $V_T$ -Transistoren in Betracht gezogen wird.

Die Kombination dieser Faktoren hat den Aufbau und die Implementation der Ausgangstreiberschaltung bzw. Treiberausgangsschaltung schwierig gemacht, in der das Betriebsfenster zwischen minimalem  $V_{OH}$  und maximale  $V_{OH}$  beschränkt ist. Diese Schwierigkeit wird durch Funktionsanforderungen von hohen Schaltungsgeschwindigkeiten und auch durch Rausch- bzw. Störungsbetrachtungen in integrierten Schaltungen verschlimmert, die in etwa 18 Ausgangsschaltungen gleichzeitig haben.

Wie es hier unten beschrieben wird, ist eine Schaltung entwickelt worden, um den passenden Antrieb für den Ausgangsanschluss zur Verfügung zu stellen, um den maximalen  $V_{OH}$  einer niedrigen Spannung zu genügen. Es ist jedoch entdeckt worden, dass es in verschiedenen Situationen wünschenswert ist, die Beschränkung des maximalen  $V_{OH}$  zu sperren, so dass ein  $V_{cc}$ -Leistungszufuhrpegel an dem Ausgangsanschluss angesteuert bzw. betrieben werden kann.

Ein Dokument nach dem Stand der Technik, die US-A-5,197,033 offenbart eine integrierte Schaltung mit einer internen Leistungszufuhr bzw. Netzteil, um Abweichungen von Betriebsbedingungen und Herstellungstoleranzbedingungen zu kompensieren. Verschiedene Ausführungsformen enthalten einen Anlauffreibertransistor, der einen Leitpfad hat, der zwischen einer Leistungszufuhrspannung und einem Ausgangsanschluss angekoppelt ist, der eine Steuerelektrode hat;

mit einer Schaltung zum Begrenzen des Antriebs des Anlauffreibertransistors in Reaktion auf eine Vorspannung; und

eine Bezugsspannung und eine Regelschaltung, die einen Ausgangsknoten zum Erzeugen der Vorspannung hat, wobei die Regelschaltung aufweist, einen Differenzverstärker mit einem Stromspiegelknoten, der einen Bezugsschenkel und einen Spiegelschenkel hat, wobei der Bezugsschenkel auf eine Zielspannung anspricht, um einen ersten Strom zu leiten, wobei der Spiegelschenkel einen Transistor aufweist, der eine Source hat, die an die Leistungszufuhrspannung bzw. Netzteilspannung in einer Drain ange-

geschlossen ist, der den Ausgangsknoten definiert, wobei der Spiegelschenkel einen gespiegelten Strom in Reaktion auf den ersten Strom leitet und die Vorspannung an der Drain des Transistors basierend auf dem gespiegelten Strom entwickelt. Die Vormagnetisierungsstromquelle ist an den Bezugsschenkel und den Spiegelschenkel des Stromspiegels angekoppelt und hat einen Eingang, der an einem Vorspannungseingangsanschluss angekoppelt ist, um die Summe der Ströme in den Bezugsspiegelschenkeln und folglich die Fähigkeit der Schaltung, Strom hervorzubringen, zu steuern.

Es ist deshalb eine Aufgabe der vorliegenden Erfindung, eine Ausgangstreiberschaltung zur Verfügung zu stellen, die einen Ausgangsanschluss schnell steuern kann, während ein relativ kleines Betriebsfenster für die Ausgangsspannung mit hohem logischen Pegel in einer auswählbaren Weise aufrecht erhalten wird.

Es ist eine andere Aufgabe der vorliegenden Erfindung, eine derartige Schaltung zur Verfügung zu stellen, die wahlweise in einem speziellen Testmodus außer Funktion gesetzt werden kann.

Es ist eine andere Aufgabe der vorliegenden Erfindung, eine derartige Schaltung zur Verfügung zu stellen, die wahlweise während des Betriebs außer Funktion gesetzt werden kann.

Es ist eine andere Aufgabe der vorliegenden Erfindung, eine derartige Schaltung zur Verfügung zu stellen, die programmierbar außer Funktion oder angestellt werden kann.

Es ist eine andere Aufgabe der vorliegenden Erfindung, einen auswählbaren hohen maximalen Ausgangsspannungspegel zur Verfügung zu stellen.

Andere Aufgaben und Vorteile der vorliegenden Erfindung werden den Fachleuten im Stand der Technik vor Augen geführt, die auf die nachfolgende Beschreibung zusammen mit ihren Darstellungen Bezug nehmen.

Die Erfindung kann in einer integrierten Schaltung als ein Ausgangstreibersystem bzw. Treiberausgangssystem realisiert sein, indem die Spannung, die an das Gate der Anlauf-einrichtung bzw. Starteinrichtung angelegt wird, auf eine Spannung oberhalb des  $V_{OH}$ -Betriebsfensters, aber unterhalb der Leistungszufuhr der Schaltung eingestellt ist. Das System enthält Schaltungen zum Erzeugen der passenden Gatespannung für die Anlauf-einrichtung basierend auf einer geregelten Spannung. Die geregelte Spannung wird durch eine Kombinationsbezugsspannung und eine Spannungsregelschaltung erzeugt, wo die geregelte Spannung durch einen Spannungsschwellenwert verschoben wird, um es dem Ausgangstreiber bzw. Treiberausgang zu ermöglichen, eine n-Kanal-Einrichtung zu sein, deren Aufbauknoten bzw. Körperknoten rückwärts geregelt bzw. vorgespannt oder mit Vormagnetisierungsstrom angesteuert ist. Die geregelte Spannung dient als die Vorspannung in dem Ausgangspuffer, so dass die Ausgangsspannung des Ausgangspuffers, wie sie an das Gate der Anlaufeinrichtung mit n-Kanal angelegt wird, beschränkt ist. Eine Schaltung ist zur Verfügung gestellt, um wahlweise die Funktion außer Kraft zu setzen bzw. auszuschalten, wie etwa in einem speziellen Testmodus, in Reaktion auf ein logisches Signal oder mittels Programmierung von Sicherungen, um eine Betreibbarkeit bzw. Ansteuerbarkeit mit mehreren hohen maximalen Spannungspegeln zu ermöglichen. Eine Einstellbarkeit der Sicherung der Bezugsspannung kann auch verwendet werden.

Gemäß einem ersten Gesichtspunkt der vorliegenden Erfindung wird zur Verfügung gestellt, eine Treiberausgangsschaltung bzw. eine Ausgangstreiberschaltung für eine integrierte Schaltung, die aufweist einen Anlaufreibertransistor, der einen Leiterpfad hat, der zwischen einer Leistungszufuhrspannung bzw. Netzteilzufuhrspannung und einem Ausgangsanschluss angekoppelt ist und der eine Steuerelektrode hat; eine Schaltung, um die Ansteuerung des Anlaufreibertransistors in Reaktion auf eine Vorspannung zu begrenzen; und eine Bezugsspannungs- und Spannungsregelschaltung, die einen Ausgangsknoten hat, um die Vorspannung zu erzeugen, die aufweist, Mittel, um eine Vorgabe- bzw. Zielspannung auf der Grundlage der Leistungszufuhr- bzw. Netzteilspannung zu erzeugen; einen Differenzverstärker mit einer Stromspiegellast, die einen Bezugsast und einen Spiegellast hat, wobei der Bezugsast- bzw. -zweig auf die Vorgabe- bzw. Zielspannung anspricht, um einen ersten Strom zu leiten, wobei der Spiegellast bzw. -zweig einen Transistor aufweist, der eine Source hat, die an die Leistungszufuhr- bzw. Netzteilspan-

nung angekoppelt ist, und eine Drain hat, die den Ausgangsknoten festlegt, wobei der Spiegelast einen gespiegelten Strom in Reaktion auf den ersten Strom leitet und die Spannung an der Drain des Transistors auf der Grundlage des gespiegelten Stromes erhalten wird; eine Vormagnetisierungsstromquelle, die an den Bezugsast und den Spiegelast des Stromspiegels angekoppelt ist, die einen Eingang hat, der an den Vorspannungseingangsanschluss angekoppelt ist, um die Summe der Ströme in dem Bezugs- bzw. Referenz- und dem Spiegelast und folglich die Stromquellenleistung der Spannungsreferenz- und Spannungspegelschaltung zu schalten; und eine Schaltung, die auf ein Sperrsignal reagiert, um auswählbar die Drain des Transistors auf die Leistungszufuhr- bzw. Netzteilspannung vorzuspannen, und einen Ausschalttransistor, der eine Steuerelektrode hat, die angekoppelt ist, um das Sperrsignal zu empfangen, um gleichzeitig den Eingang der Vormagnetisierungsstromquelle auf das Erdpotenzial zu bringen.

Die Erzeugungsmittel können einen Spannungstreiber aufweisen.

Der Spannungstreiber kann über Sicherung programmierbar sein.

Das Sperr- bzw. Ausschaltsignal kann in Reaktion auf die Spannung an einem Anschluss der integrierten Schaltung erzeugt werden.

Die Spannung kann durch Anbenden des Anschlusses der integrierten Schaltung an eine Spannung erzeugt werden.

Gemäß einem anderen Gesichtspunkt der vorliegenden Erfindung wird ein Verfahren zum Steuern eines Anlauftreibertransistors gemäß dem Anspruch 10 zur Verfügung gestellt.

Das Verfahren kann ferner die Erzeugung des Sperr- bzw. Ausschaltsignals durch das Programmieren einer Sicherungsschaltung aufweisen.

Das Verfahren kann ferner die Erzeugung des Sperr- bzw. Ausschaltsignals durch Eintritt in einen speziellen Testmodus aufweisen.



Das Verfahren kann ferner die Erzeugung des Sperrsignals durch Bonden eines Anschlusses an eine Spannung aufweisen.

Das Verfahren kann ferner die Erzeugung der Ziel- bzw. Vorgabespannung mittels eines Spannungstreibers aufweisen.

Das Verfahren kann ferner die Programmierung der Ziel- bzw. Vorgabespannung mittels Sicherung durch Einstellen des Spannungstreibers aufweisen.

Einige Ausführungsformen der Erfindung werden nun im Wege eines Beispiels und unter Bezugnahme auf die begleitenden Darstellungen beschrieben, in denen:

Fig. 1 ein elektrischer Schaltplan in einer Blockform von einer integrierten Speicherschaltung ist, die eine Ausgangstreiberschaltung gemäß der bevorzugten Ausführungsform nach der Erfindung enthält.

Fig. 2 ist eine Darstellung einer elektrischen Schaltung in einer Blockform der Ausgangstreiberschaltung gemäß der bevorzugten Ausführungsform der Erfindung.

Fig. 3 ist eine schematische Darstellung einer Bezugsspannung und einer Regelschaltung, die zum Verständnis der vorliegenden Erfindung nützlich ist.

Fig. 4 ist ein elektrischer Schaltplan einer Vormagnetisierungsstromquelle in schematischer Form, wie sie in der Bezugsspannungs- und -regelschaltung verwendet wird.

Fig. 5 und 6 sind Zeitsteuerungsdiagramme des Betriebs der Bezugsspannungs- und -regelschaltung in der Abwesenheit bzw. der Gegenwart eines Verstellungs- bzw. Offsetkompensationsstromes.

Fig. 7 ist ein elektrischer Schaltplan einer dynamische Vorspannungssteuerschaltung in schematischer Form, wie sie in der Spannungsbezugs- und -regelschaltung verwendet wird.

Fig. 8 ist ein Zeitsteuerungs- bzw. Zeitabstimmungsdiagramm, das den Betrieb der Schaltung nach Fig. 7 in einer integrierten Speicherschaltung darstellt.

Fig. 9 ist ein elektrisches Diagramm einer Vormagnetisierungsstromquelle in schematischer Form, die programmierbare Vormagnetisierungsstrompegel enthält.

Fig. 10 ist ein elektrischer Schaltplan von einer Spannungsbezugs- und -regelschaltung in schematischer Form gemäß einer Ausführungsform der Erfindung.

Wie es aus der folgenden Beschreibung ersichtlich wird, wird es angenommen, dass die vorliegende Erfindung in vielen Arten von integrierten Schaltungen realisiert werden könnte, die digitale Ausgangssignale erzeugen. Beispiele von derartigen integrierten Schaltungen umfassen Speicherschaltungen des nur lesbaren Typs, des programmierbaren, nur lesbaren Typs, der Typs mit wahlfreiem Zugriff (entweder statisch oder dynamisch) und des FIFO-Typs, Zeitgeberschaltungen, Mikroprozessoren, Mikrocomputer, Mikrosteuerungen bzw. -kontrollen und andere logische Schaltungen des allgemeinen oder programmierbaren Typs. Zu Zwecken der Beschreibung wird die bevorzugte Ausführungsform der Erfindung für das Beispiel einer integrierten Speicherschaltung beschrieben, da Speicherschaltungen als häufig verwendet angenommen werden, um Ausgangsdaten für eine integrierte Schaltung (wie etwa einen Mikroprozessor) zur Verfügung zu stellen, der eine niedrigere Leistungszufuhrspannung bzw. Netzteilspannung hat.

Die Fig. 1 stellt ein Blockdiagramm eines Lese-/Schreibspeichers 10 dar, in dem die bevorzugte Ausführungsform der vorliegenden Erfindung realisiert ist. Der Speicher 10 enthält mehrere Speicherzellen, die in der Speicheranordnung 16 angeordnet sind. Im Allgemeinen wird der Speicher 10 betrieben, um eine Adresse mit M Bit zu empfangen und synchron zu einem Systemtakt ("CLK" genannt) eine Datenmenge mit N Bit auszugeben. Integerzahlen M und N werden durch den Konstrukteur gemäß der gewünschten Speicherdichte und der Datenpfadgröße ausgewählt. Auf ausgewählte Speicherzelle in der Speicheranordnung 16 wird mittels des Betriebes des Adressregisters 12, der Zeitsteuerungs- und Steuerschaltung 14 und dem Adressdekoder 17 in der herkömmlichen Weise, und wie es im Folgenden beschrieben wird, zugegriffen. Die Datenanschlüsse 28 ermöglichen den Kommunikation von Daten zu und von dem Lese-/Schreibspeicher 10, während die Datenanschlüsse 28 in diesem Beispiel allgemeine Eingangs-/Ausgangsanschlüsse sind, ist es natürlich verständlich dass separate zugeordnete oder gewidmete Eingangsanschlüsse und Ausgangsanschlüsse in dem Speicher 10 alternativ in die Tat umgesetzt sein können. Daten werden aus den ausgewählten Spei-

cherzellen in der Speicheranordnung 16 über eine Leseschaltung 19 (die einen Leseverstärker, eine Pufferschaltung und dergleichen, wie es im Stand der Technik üblich ist, enthalten kann) Ausgangspuffer 21 und Ausgangstreiber 20 gelesen; umgekehrt werden Daten in die ausgewählte Speicherzelle in der Speicheranordnung 16 über Eingangstreiber 18 und eine Schreibschaltung 17 geschrieben.

Das Adressregister 12 enthält eine Integernummer  $M$  von Adresseingängen, die mit  $A_1$  bis  $A_M$  benannt sind. Wie es im Stand der Technik der Speicher bekannt ist, ermöglichen die Adresseingänge eine Adresse mit  $M$  Bit, um an den Speicher 10 angelegt zu werden und in dem Adressregister 12 gespeichert zu werden. Bei diesem Beispiel ist der Speicher 10 von dem synchronen Typ und als solcher wird der Adresswert an den Adresseingängen  $A$  in das Adressregister 12 über CLK getaktet, wobei CLK so dem Adressregister 12 von der Zeitsteuerungs- und Steuerschaltung 14 durchgegeben wird. Sobald die Adresse gespeichert wird, legt das Adressregister 12 die Adresse der Speicheranordnung 16 über den Adressdekoder 17 in der üblichen Weise an. Die Zeitsteuerungs- und Steuerschaltung 14 ist auch so dargestellt, dass sie einen verallgemeinerten Satz von Steuerungseingängen ("CTRL" genannt) hat, der dazu gedacht ist, verschiedene Steuer- und/oder Zeitsteuerungssignale in im Stand der Technik bekannter Weise darzustellen, wie etwa Lese-/Schreibfreigabe, Ausgangsfreigabe, Burstmodedefreigabe, Chipfreigabe und dergleichen.

Bei diesem Beispiel empfängt der Speicher 10 eine elektrische Leistung von dem Leistungszufuhranschluss  $V_{cc}$  und hat auch einen Bezugsspannungsanschluss GND. Gemäß der bevorzugten Ausführungsform nach der Erfindung wird der Speicher 10 Ausgangsdaten an Datenanschlüssen 28 zum Empfang durch eine andere integrierte Schaltung, die durch eine Leistungszufuhrspannung bzw. Netzteilspannung betrieben wird, die niedriger als die ist, die an dem Anschluss  $V_{cc}$  des Speichers 10 anliegt, präsentieren. Zum Beispiel kann die Leistungszufuhrspannung, die an dem Anschluss  $V_{cc}$  des Speichers 10 anliegt, nominal 5 Volt (relativ zu der Spannung am Anschluss GND) betragen, während eine integrierte Schaltung, die Daten empfängt, die von dem Speicher 10 an den Anschlüssen 28 vorgegeben werden, eine Leistungszufuhrspannung von nominal 3,3 Volt haben kann. Um diesen Zustand zu ermöglichen, muss die maximale Spannung, die

durch den Ausgangstreiber 20 des Speichers 10 an den Datenanschlüssen 28 angesteuert wird, bei oder nahe dieser niedrigeren Leistungszufuhrspannung sein (das heißt, bei oder nahe 3,3 Volt), um eine Beschädigung der stromabwärtigen integrierten Schaltung zu vermeiden. Wie es im Einzelnen nachfolgend beschrieben wird, ist die bevorzugte Ausführungsform der vorliegenden Erfindung dazu gedacht, um eine solche Beschränkung des maximalen hohen Ausgangsspannungspegels zur Verfügung zu stellen, der durch den Ausgangstreiber 20 des Speichers 10 getrieben wird.

Die Speicheranordnung 16 ist eine Standardspeicheranordnung, die gemäß der gewünschten Dichte und Architektur dimensioniert und aufgebaut ist. Im Allgemeinen empfängt die Anordnung 16 dekodierte Adressensignale vom Adressdekoder 17 in Reaktion worauf auf die gewünschte oder mehrere Speicherzellen zugegriffen wird. Eines der Steuersignale wählt, wie oben bemerkt, aus, ob eine Lese- oder Schreiboperation durchzuführen ist. In einem Schreibbetrieb werden Eingangsdaten, die an Datenanschlüsse 28 angelegt werden und über Eingangspuffer 18 übertragen werden, an ausgewählte Speicherzellen durch die Schreibschaltung 21 angelegt. Umgekehrt werden bei einer Leseoperation Daten, die in den ausgewählten Speicherzellen gespeichert sind, durch eine Leseschaltung 19 an Ausgangspuffer 21 angelegt. Die Ausgangspuffer 21 erzeugen dann Steuersignale für die Ausgangstreiber 20, um digitale Ausgangssignale an die Datenanschlüsse 28 anzulegen. In jedem Falle werden interne Operationen des Speichers 10 durch die Zeitsteuerungs- und Steuerschaltung 14 in der herkömmlichen Weise gesteuert.

Gemäß der bevorzugten Ausführungsform der Erfindung enthält der Speicher 10 ferner eine Ausgangspuffervorspannungsschaltung 22. Die Ausgangspuffervorspannungsschaltung 22 erzeugt eine Vorspannung an der Leitung VOHREF, die an die Ausgangspuffer 21 angelegt wird, so dass die Steuersignale, die durch Ausgangspuffer 21 angelegt werden, in Folge die maximale Ausgangsspannung beschränken, die durch Ausgangstreiber 20 an Datenanschlüsse 28 angelegt werden. Wie in Fig. 1 aufgezeigt und wie es in weiteren Einzelheiten unten beschrieben wird, wird die Ausgangspuffervorspannungsschaltung 22 gemäß der bevorzugten Ausführungsform der Erfindung durch die Zeittaktungs-

bzw. Zeitsteuerungs- und Steuerschaltung 14 gemäß der zeitlichen Taktung bzw. zeitlichen Steuerung des Speicherzugriffszyklus gesteuert.

Es wird nun auf Fig. 2 Bezug genommen, wobei der Aufbau der Ausgangspuffervorspannungsschaltung 22 und ihr Zusammenwirken mit den Ausgangspuffern 21 und den Ausgangstreibern 20 gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung nun in weiteren Einzelheiten beschrieben wird. Wie in Fig. 2 gezeigt, enthält die Ausgangspuffervorspannungsschaltung 22 einen Spannungsbezug und Spannungsregler 24, der eine geregelte Spannung VOHREF an seinem Ausgang erzeugt. Die Ausgangspuffervorspannungsschaltung enthält ferner eine Vormagnetisierungsstromquelle 26, die, wie es in weiteren Einzelheiten im Folgenden beschrieben wird, durch ein Taktsignal gesteuert wird, das an einer Leitung C50 durch die Zeitsteuerungs- und Steuerschaltung 14 erzeugt wird; die Vormagnetisierungsstromquelle 26 erzeugt einen Vormagnetisierungsstrom  $i_{bias}$ , der durch den Spannungsbezug und Spannungsregler 24 zur Erzeugung der Spannung an der Leitung VOHREF verwendet wird. Auch gemäß dieser Ausführungsform der Erfindung empfängt der Spannungsbezug und Spannungsregler 24 einen Versatz- bzw. Offsetkompensationsstrom  $i_{null}$  von der Offsetkompensationsstromquelle 28. Die Ausgangspuffervorspannungsschaltung 22 enthält ferner eine  $V_t$ -Verschiebungs- bzw. -Verstellungsschaltung 30, die dazu dient, um die Spannung VOHREF einzustellen. Der detaillierte Aufbau und Betrieb der Ausgangspuffervorspannungsschaltung 22 und ihre jeweiligen diese aufbauenden Blöcke werden in weiteren Einzelheiten nachfolgend beschrieben.

Die Spannung VOHREF wird an jeden der Ausgangspuffer 21 angelegt. Die Ausgangspuffervorspannungsschaltung 22 als solche dient mehreren Ausgangspuffern 21; in vielen Fällen kann abhängig von der Anzahl von Ausgangspuffern 21 eine einzelne Ausgangspuffervorspannungsschaltung 22 ausreichen, um sämtliche der Ausgangspuffer 21 zu steuern. Jeder Ausgangspuffer 21 empfängt komplementäre Dateneingänge DATA, DATA\*, die durch die Leseschaltung 19 (siehe Fig. 1) erzeugt werden. Zum Beispiel empfängt der Ausgangspuffer 21<sub>j</sub> komplementäre Dateneingänge DATA<sub>j</sub>, DATA<sub>j</sub>\* (der \* zeigt das logische Komplementär an). Jeder Ausgangspuffer 21 legt Steuersignale (für den Ausgangspuffer 21<sub>j</sub> als PU und PD gezeigt) an einen entsprechenden Ausgangstreiber

ber 20 an. Jeder Ausgangstreiber 20 betreibt einen entsprechenden Datenanschluss 28. Während, wie in Fig. 1 gezeigt, Datenanschlüsse gemeinsame bzw. allgemeine Eingangs-/Ausgangsanschlüsse sind, ist die Eingangsseite (das heißt Dateneingangspuffer usw.) in Fig. 2 zu Zwecken der Verdeutlichung nicht gezeigt.

In dieser Ausführungsform der Erfindung wird jeder Ausgangspuffer 21 als ein Push-Pull-Treiber mit n-Kanal verwirklicht. Wird insbesondere auf den Ausgangstreiber 20<sub>j</sub> Bezug genommen, der im Einzelnen in Fig. 2 gezeigt ist (es ist zu verstehen, dass die anderen Ausgangstreiber 20 gleichermaßen aufgebaut sind), ist der Anlauftransistor 32 mit n-Kanal mit seiner Drain, die auf  $V_{cc}$  vorgespannt ist, und mit seiner Source an den Datenanschluss 28<sub>j</sub> angeschlossen und der Ausschalttransistor 34 mit n-Kanal ist mit seiner Drain an den Datenanschluss 28<sub>j</sub> angeschlossen und mit seiner Source gegenüber Erde vorgespannt. Die Ausgangstreiber 20 enthalten auch bevorzugt elektrostatische Entladungsschutzeinrichtungen (nicht gezeigt), wie es im Stand der Technik üblich ist. Die Gates der Transistoren 32, 34 empfangen jeweils Steuersignale PU, PD von dem Ausgangspuffer 21. Wie es von jenen mit durchschnittlichem Fachwissen im Stand der Technik vorgezogen werden wird, muss, da  $V_{cc}$  (nominal z.B. 5 Volt) die Drain des Anlauftransistors 32 vorspannt bzw. vormagnetisiert, die Spannung an der Leitung PU, die an das Gate des Transistors 32 angelegt ist, genau gesteuert werden, um sicherzustellen, dass die maximale Spannung, auf welche der Transistor 32 den Datenanschluss 28<sub>j</sub> treibt, um eine logische 1 (zu bevorzugen als  $V_{OH}$ -Maximum) anzulegen, nicht die Grenze (z.B. 3,3 Volt) überschreitet. Die Weise, auf welche diese Beschränkung gemäß der vorliegenden Ausführungsform der Erfindung realisiert wird, wird nachfolgend beschrieben.

Wie es in Fig. 2 gezeigt ist, ist der Körper- bzw. Aufbauknoten oder -anschluss des Anlauftransistors 32 mit n-Kanal bevorzugt eher gegenüber dem Erdpotenzial vorgespannt als bezüglich seiner Source an dem Datenanschluss 28<sub>j</sub>. Es wird durch die Fachleute im Stand der Technik bevorzugt, dass dieser Körper- bzw. Aufbauanschluss für den Anlauftransistor 32 mit n-Kanal vorzugsweise dazu ist, um die Empfindlichkeit bzw. Neigung zum Einklinken zu vermeiden. Wie es jedoch auch bevorzugt wird, wird diese Vorspannungsbedingung für den Transistor 32 effektiv seine Schwellenspannung stei-

gern, was es schwieriger macht, das Maximum der  $V_{OH}$ , die durch den Ausgangstreiber 20 getrieben wird, zu beschränken. Diese Schwierigkeit gibt es auf Grund der höheren Spannung, mit der die Leitung PU angesteuert werden muss, um den Transistor 32 einzuschalten. Die bevorzugte Ausführungsform nach der vorliegenden Erfindung, wie sie im Folgenden beschrieben wird, widmet sich dieser Schwierigkeit in einer derartigen Weise, um es dem Körper- bzw. Aufbauanschluss oder -knoten des Transistors 32 zu ermöglichen, um rückwärts geregelt zu werden (das heißt auf eine andere Spannung als die seiner Source).

#### Ausgangspuffer

Der Aufbau des Ausgangspuffers 21<sub>j</sub>, wie er in Fig. 2 gezeigt ist, wird nun im Einzelnen beschrieben, wobei es verständlich ist, dass die anderen Ausgangspuffer 21 gleichermaßen bzw. ähnliche aufgebaut sind. Der Ausgangspuffer 21<sub>j</sub> empfängt die Dateneingangsleitungen DATA<sub>j</sub>, DATA<sub>j</sub>\* an einem Eingang von jeweiligen NAND-Funktionen 40, 42. Die Ausgangsfreigabeleitung OUTEN wird auch an einem Eingang von jeder der NAND-Funktionen 40, 42 empfangen, um eine Ausgangsfreigabefunktion durchzuführen, wie es im Folgenden beschrieben wird.

Der Ausgang der NAND-Funktion wird an die Gates des Transistors 36 mit p-Kanal und des Transistors 38 mit n-Kanal angelegt. Der Transistor 36 mit p-Kanal ist mit seiner Source auf die Spannung VOHREF vorgespannt, die durch die Ausgangspuffervorspannungsschaltung 22 erzeugt wird, und ist mit seiner Drain an die Leitung PU angeschlossen. Der Transistor 38 mit n-Kanal ist mit seiner Drain an die Leitung PU angeschlossen und seine Source ist gegenüber dem Erdpotenzial vorgespannt. Die Transistoren 36, 38 bilden als solche einen herkömmlichen CMOS-Inverter, um die Leitung PU mit dem logischen Komplementär des logischen Signals anzusteuern, das durch die NAND-Funktion 40 präsentiert wird. Die hohe Spannung jedoch, auf die die Leitung PU durch den Transistor 36 getrieben wird, ist auf die Spannung VOHREF beschränkt, die durch die Ausgangspuffervorspannungsschaltung 22 erzeugt wird. Da die Leitung PU an das Gate des Anlauftransistors 32 mit n-Kanal im Ausgangstreiber 20<sub>j</sub> angelegt wird, wird

die Spannung VOHREF folglich die maximale Ansteuerung des Anlauftransistors 32 und folglich die Spannung, auf welche der Datenanschluss 28<sub>j</sub> getrieben wird, steuern.

Auf der niedrigen Seite wird der Ausgang der NAND-Funktion 42 an den Eingang des Inverters 43 angelegt (der in diesem Fall durch  $V_{cc}$  vorgespannt wird). Der Ausgang des Inverters 43 betreibt die Leitung PD, die an das Gate des Ausschalttransistors 34 mit n-Kanal angelegt wird.

Im Betrieb wird mit der Ausgangsfreigabeleitung OUTEN bei einem hohen logischen Pegel der Zustand der NAND-Funktionen 40, 42 durch den Zustand der Dateneingangsleitungen DATA<sub>j</sub>, DATA<sub>j</sub>\* gesteuert und werden das logische Komplementär voneinander sein (da die Dateneingangsleitungen DATA<sub>j</sub>, DATA<sub>j</sub>\* das logische Komplementär voneinander sind). Ein hoher logischer Pegel an der Leitung DATA<sub>j</sub> wird folglich zu einem niedrigen logischen Pegel an dem Ausgang der NAND-Funktion 40 führen, wobei der Transistor 36 eingeschaltet wird, so dass die Spannung VOHREF an das Gate des Transistors 32 über die Leitung PU angelegt wird, wobei der Datenanschluss 28<sub>j</sub> auf einen hohen logischen Pegel getrieben wird (beschränkt durch die Spannung von VOHREF, wie oben bemerkt); der Ausgang der NAND-Funktion 42 ist in diesem Zustand hoch (Datenleitung DATA<sub>j</sub>\* ist niedrig), was, nach der Invertierung durch den Inverter 43, den Transistor 34 im Ausgangstreiber 20<sub>j</sub> ausschaltet. In dem anderen Datenzustand wird der Ausgang der NAND-Funktion 40 auf hohem logischen Pegel sein (die Datenleitung DATA<sub>j</sub> ist niedrig), wobei der Transistor 38 eingeschaltet wird, um die Leitung PU auf ein niedriges Potenzial zu ziehen, um den Transistor 32 auszuschalten. Der Ausgang der NAND-Funktion 42 wird niedrig werden, was den Inverter 43 dazu veranlasst, die Leitung PD auf ein hohes Potenzial zu treiben und den Transistor 34 einzuschalten, wobei der Datenanschluss 28<sub>j</sub> auf ein niedriges Potenzial gebracht wird. Ist die Ausgangsfreigabeleitung OUTEN auf einem niedrigen logischen Pegel, werden die Ausgänge der NAND-Funktionen 40, 42 auf einen hohen Pegel gezwungen, ungeachtet des Datenzustandes, der an die Dateneingangsleitungen DATA<sub>j</sub>, DATA<sub>j</sub>\* angelegt ist; im Ergebnis sind beide Transistoren 32, 34 ausgeschaltet, wobei der Datenanschluss 28<sub>j</sub> in einem Zustand mit hoher Impedanz gehalten wird.



Wie oben bemerkt, bestimmt die Spannung an der Leitung VOHREF in dieser Ausführungsform der Erfindung die Ansteuerung, die an die Anlauftransistoren 32 mit n-Kanal in den Ausgangstreibern 20 angelegt wird. Gemäß dieser Ausführungsform der Erfindung ist deshalb der Aufbau des Ausgangspuffers 21 bei der Bereitstellung der Spannung VOHREF an dem Gate des Anlauftransistors 32 besonders vorteilhaft, wie es mit einem Minimum an Transistoren realisiert ist und kann schnell schalten, um schnelle Übergänge an den Datenanschlüssen 28 zu bewirken. Zusätzlich sind keine Serieneinrichtungen in den Ausgangstreibern 20 erforderlich, um das  $V_{OH}$ -Maximum gemäß dieser Ausführungsform der Erfindung zu beschränken, wobei derartige Serieneinrichtungen notwendigerweise die Schaltgeschwindigkeit von Ausgangstreibern 20 beschränken und auch die Empfindlichkeit zur elektrostatischen Entladung und zum Einklinken einführen. Ferner ist keine Ureingabe bzw. Ureingabeprogramm von dem Gatetreiber zu dem Transistor 32 mit n-Kanal gemäß dieser Ausführungsform der Erfindung erforderlich, wobei folglich ein Spannungsumschwenken und Stoßempfindlichkeit vermieden werden.

Der Aufbau der Ausgangspuffervorspannungsschaltung 22 zum Angeben der passenden Spannung VOHREF, so dass der Speicher 10 bei dieser Ausführungsform der Erfindung einen hohen logischen Pegel auf einen sicheren maximalen Pegel zum Empfang durch integrierte Schaltungen steuern kann, die niedrigere Leistungszufuhrspannungen haben, wird nun im Einzelnen im Hinblick auf jede der Schaltungsfunktionen der Ausgangspuffervorspannungsschaltung 22, die in Fig. 2 gezeigt ist, beschrieben.

#### Spannungsbezug und Spannungsregler mit $V_t$ -Verschiebung bzw. -Shift

Es wird nun auf Fig. 3 Bezug genommen, wobei der Aufbau und der Betrieb des Spannungsbezugs- und -reglers 24 nun im Einzelnen in Zusammenarbeit mit den anderen Bestandteilen der Ausgangspuffervorspannungsschaltung 22 beschrieben wird.

Wie in Fig. 3 gezeigt, ist der Spannungsbezug und -regler 24 in der Art eines Stromspiegels aufgebaut. Die Transistoren 44 und 46 mit p-Kanal sind jeweils mit ihrer Source gegenüber  $V_{CC}$  vorgespannt und sind mit ihren Gates aneinander angeschlossen. In dem Bezugsast dieses Stromspiegels ist die Drain des Transistors 44 an sein Gate und an

die Drain des Transistors 48 mit n-Kanal angeschlossen. Das Gate des Transistors 48 mit n-Kanal ist an einen Spannungsteiler angeschlossen, der aus Widerständen 47, 49 aufgebaut ist, die in Reihe zwischen  $V_{cc}$  und dem Erdpotenzial angeschlossen sind, wobei das Gate des Transistors 48 an den Punkt zwischen den Widerständen 47 und 49 angeschlossen ist, um den gewünschten Teil (z.B. 60%) der Leistungszufuhrspannung  $V_{cc}$  zu empfangen. Jeder Ast des Widerstandsteilers könnte alternativ aus einer Reihe von Widerständen aufgebaut sein, die anfangs durch Sicherungen ausgeschaltet bzw. durch Kurzschlüsse ausgeschaltet sind; das Öffnen von ausgewählten Sicherungen kann folglich die Programmierbarkeit der Spannung ermöglichen, die an das Gate des Transistors 48 angelegt wird.

Die Source des Transistors 48 ist an die Vormagnetisierungsstromquelle 26 angeschlossen. In dem Spiegellast dieses Stromspiegels ist die Drain des Transistors 46 am Ausgangsknoten VOHREF an die Drain des Transistors 50 mit n-Kanal angeschlossen. Das Gate des Transistors 50 ist an den Knoten VOHREF über die  $V_i$ -Verstellungsschaltung 30 in einer Weise angekoppelt, die in weiteren Einzelheiten im Folgenden beschrieben wird. Die Source des Transistors 50 mit n-Kanal ist an die Source des Transistors 48 in dem Bezugsast und folglich an die Vormagnetisierungsstromquelle 26 angeschlossen. Wie oben bemerkt, leitet die Vormagnetisierungsstromquelle 26 einen Strom  $i_{BIAS}$ , der die Summe der Ströme in den Bezugs- und Spiegellasten in dem Stromspiegel des Spannungsbezugs und -reglers 24 sein wird (das heißt, die Summe der Ströme durch Transistoren 48 und 50). Der Strom  $i_{BIAS}$  wird primär durch den Transistor 52 mit n-Kanal erzeugt, der mit seiner Drain an die Sources der Transistoren 48 und 50 angeschlossen ist, mit seiner Source gegenüber Erde vorgespannt ist und dessen Gate durch die Vorspannungsbezugsschaltung 54 gesteuert wird. Wie es ferner im Einzelnen unten beschrieben wird, wird gemäß der bevorzugten Ausführungsform der Erfindung auch eine dynamische Vorspannungsschaltung 60 zum Steuern des Stromes  $i_{BIAS}$  eventuell zu bestimmten Zeiten in dem Speicherzugriffszyklus verringert zu steuern, zur Verfügung gestellt (unter der Steuerung des Taktsignals C50), um die Ausgangsimpedanz des Spannungsbezugs und -reglers 24 für verschiedene Abschnitte des Speicherzugriffszyklus zu optimieren.

Die  $V_t$ -Verschiebe- bzw. -Shiftschaltung 30 stellt die Vorspannung des Gates des Transistors 50 mit n-Kanal in dem Spiegelast des Spannungsbezugs und -reglers 24 bei dieser bevorzugten Ausführungsform der Erfindung zur Verfügung, um sicherzustellen, dass die Spannung VOHREF durch eine n-Kanal-Schwellenspannung nach oben verschoben bzw. verstellt wird, wobei in Betracht gezogen wird, dass die Spannung VOHREF an das Gate der Anlauftransistor 32 mit n-Kanal (über Ausgangspuffer 219 in den Ausgangstreibern 21 angelegt wird. Die Art, in der diese Verschiebung bewirkt wird, wird im Folgenden an dem Betrieb des Spannungsbezugs und -reglers 24 beschrieben.

Der Betrieb des Spannungsbezugs und -reglers 24 wird nun im Einzelnen an einem Punkt in dem Speicherzyklus beschrieben, während dem Ausgangsdaten an Datenanschlüssen 28 anzulegen sind. Die Vorspannungsbezugsschaltung 54 legt eine Vorspannung an das Gate des Transistors 52 mit n-Kanal an, um den Wert von  $I_{BIAS}$ , der durch den Stromspiegel geleitet wird, einzustellen; die dynamische Vorspannungsschaltung 60 ist zu diesem Zeitpunkt effektiv ausgeschaltet. Die geteilte Spannung, die durch Widerstände 47, 49 erzeugt wird, die als eine Bezugsspannung an das Gate des Transistors 48 mit n-Kanal angelegt wird, bestimmt das Ausmaß, bis zu dem der Transistor 48 leitend ist und bestimmt folglich die Vorspannungsbedingung an der Drain des Transistors 44 mit p-Kanal. Der durch den Transistor 44 geleitete Strom wird durch den Transistor 46 in dem Spiegelast gespiegelt und wird folglich ein Vielfaches des Stromes sein, der durch den Transistor 44 geleitet wird (wie es nachfolgend erörtert wird).

Die Spannung VOHREF an den Drains der Transistoren 46, 50 wird durch die Spannung an den Drains der Transistoren 44, 48 durch die relative Größe der Transistoren in der Schaltung und durch die Wirkung der  $V_t$ -Verschiebe- bzw. -Shiftschaltung 30 bestimmt. Wie es im Stand der Technik der Stromspiegelschaltungen wohl bekannt ist, wird die Gatespannung des Transistors 50 dazu neigen, zu der an dem Gate des Transistors 48 auf Grund der Rückkopplung der Spannung an der Leitung VOHREF zu dem Gate des Transistors 50 zu passen, wobei der Effekt eines Differenzverstärkers des Spannungsbezugs und -reglers 24 in Betracht gezogen wird. Die  $V_t$ -Verschiebeschaltung 30 enthält jedoch einen Transistor 56, der in der Art einer Diode mit seinem Gate an seine Drain an VOHREF angeschlossen ist und mit seiner Source an das Gate des Tran-

sistors 50 angeschlossen ist, so dass ein Schwellenspannungsabfall zwischen der Leitung VOHREF und dem Gate des Transistors 50 vorhanden ist. Der Transistor 56 ist ähnlich wie einer der Anlauftransistoren 32 mit n-Kanal in den Ausgangstreibern 20 aufgebaut, insbesondere indem er die gleiche oder eine ähnliche Gatelänge hat und indem er die gleiche Körper-/Aufbauanschlussvorspannung hat (z.B. gegenüber Erdpotenzial). Der Transistor 58 mit n-Kanal ist mit seiner Drain an die Source des Transistors 56 angeschlossen und wird durch die Vorspannungsbezugsschaltung 54 an seinem Gate gesteuert, um eine passende Stromleitung durch den Transistor 56 sicherzustellen, so dass ein genauer Schwellenwertspannungsabfall über den Transistor 56 zugegen ist.

Als ein Ergebnis der  $V_t$ -Verschiebungsschaltung 30 wird die Spannung an der Leitung VOHREF von der Bezugsspannung an dem Gate des Transistors 48 durch einen Schwellenwertspannungswert verstärkt, der nahezu zu der Schwellenwertspannung des Anlauftransistors 32 mit n-Kanal der Ausgangstreiber 20 passt. Diese zusätzliche Schwellenwertspannungsverschiebung ist notwendig, wobei in Betracht gezogen wird, dass die Spannung VOHREF an das Gate eines Ausgangstreibers 32 mit n-Kanal in den Ausgangstreibern 20 angelegt wird, wobei folglich eine angemessene Ansteuerung mit hohem Pegel sichergestellt wird. Die  $V_t$ -Verschiebung wird durch die Schaltung 30 auf eine Weise bewirkt, die die Ausgangsimpedanz des Spannungsbezugs- und -reglers 24 und insbesondere die Impedanz zu dem Senkenstrom durch den Transistor 50 in dem Fall von Fluktuationen der Spannung VOHREF nicht steigert, die durch Schaltausgangspuffer 21 verursacht werden. Die Realisierung der Schaltung 30 führt auch eine minimale Versatzspannung bzw. Offsetspannung in den Spannungsbezugs- und Spannungsregler 24 ein und erfordert nur, ohne eine gesamte Stufe hinzuzufügen, zwei zusätzliche Transistoren 56, 58.

Es ist natürlich zu erwägen, dass die auf der Leitung VOHREF durch den Spannungsbezug und -regler 24 erzeugte Spannung angelegt werden könnte, um das Hochsetzen des logischen Pegels des Ausgangstreibers 20 in einer alternativen Weise zu der hier oben in Bezug auf den bevorzugten Lösungsansatz zum Steuern der Spannungsquelle von Anlauftransistoren 36 in Ausgangspuffern 21 beschriebenen Weise zu steuern. Zum Beispiel kann die an der Leitung VOHREF erzeugte Spannung unmittelbar an das Gate ei-

nes Transistors in Serie mit dem Anlauftransistor im Ausgangstreiber 20 angelegt werden oder bei einem anderen Beispiel kann die an der Leitung VOHREF erzeugte Spannung an das Gate eines Transistors in Serie mit dem Anlauftransistor im Ausgangspuffer 21 angelegt werden; bei jeder dieser alternativen Fälle beschränkt die Bezugsspannung an der Leitung VOHREF die an den Ausgangsanschluss angelegte Ansteuerung. Bei derartigen Alternativen wird jedoch ein Fachmann im Stand der Technik erkennen, dass der absolute Pegel der Bezugsspannung an der Leitung VOHREF von der verwendeten in der vorangehenden Beschreibung zu verschieben sein kann.

#### Versatz bzw. Offset kompensierende Stromquelle

Für den Spannungsbezugs- und Spannungsregler 24 ist es wünschenswert, eine extrem niedrige Ausgangsimpedanz zu haben, so dass ein wesentlicher Strom an die Leitung VOHREF angeschlossen oder von der Leitung VOHREF abgeleitet werden kann, ohne eine signifikante Veränderung der Spannung an der Leitung VOHREF. Da, wie oben bemerkt, die Spannung an der Leitung VOHREF die maximale Ausgangshochpegelspannung  $V_{OH-Maximum}$  so steuert, um eine integrierte Schaltung, die die Ausgangslogiksignale an Datenanschlüssen 28 empfängt, nicht zu beschädigen, während immer noch die maximale Ausgangsansteuerung zur Verfügung gestellt wird, ist es wichtig, dass die Spannung an der Leitung VOHREF stetig nahe dem geregelten Pegel verbleibt.

Im Spannungsbezug und -regler 24 ist es deshalb wünschenswert, dass die Treiberfähigkeiten und folglich die Transistorgrößen (das heißt das Verhältnis der Kanalbreite zur Kanallänge (oder  $W/L$ ) der Transistoren 46 und 50 ziemlich groß sind. Diese große Größe für die Transistoren 46, 50 wird es dem Spannungsbezug und -regler 24 ermöglichen, schnell Strom zuzuführen (von  $V_{cc}$  über Transistor 46 zur Leitung VOHREF) oder Strom abzuleiten (von der Leitung VOHREF über Transistoren 50, 52 zur Erde). Zum Beispiel kann das  $W/L$  des Transistors 46 in der Größenordnung von 1200 liegen, das  $W/L$  des Transistors 50 kann in der Größenordnung von 600 liegen und das  $W/L$  des Transistors 48 kann in diesem Beispiel in der Größenordnung von 300 liegen. Zusätzlich ist es wünschenswert, dass das  $W/L$  des Transistors 46 größer als das des Transistors 44 ist, so dass ein vergrößerbares Spiegelverhältnis erhalten werden kann, wobei folglich

der erzeugte Strom, der an der Leitung VOHREF verfügbar ist, gesteigert ist; ferner ist es wünschenswert, dass das W/L des Transistors 48 signifikant größer als das des Transistors 44 zur höheren Verstärkung ist. Bei dem obigen Beispiel kann das W/L des Transistors 44 in der Größenordnung von 60 sein, wobei in diesem Fall das Spiegelverhältnis des Spannungsbezugs und -reglers 24 in der Größenordnung von 20 sein würde. Der maximal erzeugte Strom  $i_{source\ max}$  wird wie folgt bestimmt:

$$i_{source\ max} = i_{bias} \frac{\left(\frac{W}{L}\right)_{46}}{\left(\frac{W}{L}\right)_{44}}$$

Bei dem obigen Beispiel wird der maximal erzeugte Strom  $i_{source\ max}$  in der Größenordnung von 20 mal  $i_{bias}$  sein. Der maximal verbrauchte bzw. abgeführte Strom des Spannungsbezugs und -reglers 24 wird gleich sein  $i_{bias}$ , was durch die Vormagnetisierungsstromquelle 26 gesteuert wird. Bei dieser Ausführungsform der Erfindung wird es natürlich bevorzugt, dass der erzeugte Strom den kritischeren Parameter für diese Ausführungsform der Erfindung darstellen wird, da er das Einschalten der Anlauftransistoren 32 in den Ausgangstreibern 21 steuert.

Da jedoch die Ströme durch die Bezugs- und Spiegeläste des Spannungsbezugs und -reglers 24 nicht gleich zueinander sind, kann eine Versatzspannung bzw. Offsetspannung zwischen den Knoten an den Drains der Transistoren 44, 48 einerseits und den Drains der Transistoren 46, 50 andererseits entwickelt werden. Diese Versatzspannung kann in der Größenordnung von 300 bis 400 mV sein und wird mit steigendem  $i_{bias}$  größer werden.

Da ferner das W/L des Transistors 48 wesentlich größer als das des Transistors 44 ist und auf Grund der Diodenkonfiguration der Transistoren 44 (das Gate ist an die Drain gebunden), ist der Transistor 44 nicht dazu in der Lage, die Spannung an der Drain des Transistors 48 (und dem Gate der Transistoren 44, 46) schnell auf ein hohes Potenzial zu bringen, falls nötig. Zum Beispiel ist, wenn mehrere der Ausgangstreiber 21 gleichzeitig deren jeweilige Anlauftransistoren 32 einschalten, eine wesentliche Stromzufuhr

von dem Spannungsbezug und -regler 24 erforderlich, um die Spannung an der Leitung VOHREF auf dem passenden Pegel zu halten. Diese Stromzufuhr neigt dazu, anfänglich die Spannung an der Leitung VOHREF zu verringern, was in Folge die Spannung an den Drains der Transistoren 44, 48 in dem Bezugsast des Spannungsbezugs und -reglers 24 verringert, da von dem Transistor 48 erwartet wird, zeitweise das meiste des Stromes  $i_{BULK}$  zuzuführen, der von der Stromquelle 26 erfordert wird, weil virtuell der gesamte Strom, der durch den Transistor 46 geleitet wird, zu der Leitung VOHREF gerichtet wird. Jedoch ist der Transistor 44 wegen seiner relativ geringen Größe (für hohe Spiegelverhältnisse) nicht dazu in der Lage, die Spannung an seiner Drain selbst schnell ansteigen zu lassen; falls diese Spannung niedrig bleibt, sobald der Bedarf des Einschwingvorganges nach Stromzufuhr vorüber ist, wird die Spannung VOHREF ihre Spannung des gleichmäßigen Zustandes übersteigen, weil die Transistoren 44 und 46 durch die niedrige Spannung an ihren Gates kräftig eingeschaltet werden. Wie oben erörtert, kann das Übersteigen der Spannung VOHREF stromabwärtige integrierte Schaltungen beschädigen, die niedrigere Leistungszufuhrspannungen haben.

Deshalb ist eine einen Versatz bzw. einen Offset kompensierende Stromquelle 28 zur Verfügung gestellt, um Strom  $i_{NULL}$  an den Spannungsbezug und -regler 24 an die Drains der Transistor 44, 48 anzulegen. Die Größe des Vormagnetisierungsstromquellentransistors 52 muss deshalb angemessen sein, um den zusätzlichen Strom  $i_{NULL}$  zu leiten, der in den Bezugsast des Spannungsbezugs und -reglers 24 über den Stromspiegel zur Verfügung gestellt wird. Natürlich kann ein zusätzlicher Transistor parallel zu dem Transistor 52 zur Verfügung gestellt werden, um diesen zusätzlichen Strom zu leiten. Der Strom  $i_{NULL}$  ist dazu gedacht, den Strom pro Einheitskanalbreite, geleitet durch den Transistor 48 mit dem Strom pro Einheitskanalbreite, geleitet durch den Transistor 50, abzugleichen, so dass keine Versatzspannung resultiert, wie auch die Last bzw. Ladung des Transistors 48 auf den Transistor 44 erleichtert wird und die Spannung an den Drains der Transistoren 44 und 48 und folglich an den Gates der Transistoren 44, 46 wird es ermöglicht, schnell auf einen hohen Pegel, wenn nötig, gebracht zu werden. Das Überschießen der Spannung an der Leitung VOHREF wird folglich verhindert.

Es wird nun auf Fig. 4 Bezug genommen, wobei der Aufbau der Offset bzw. Versatz kompensierenden Stromquelle 28 im Einzelnen beschrieben wird. In dieser Schaltung wird die Offset kompensierende Stromquelle 28 durch die Vorspannungsbezugsschaltung 54 in der Vormagnetisierungsstromquelle 26 gesteuert, um die Zahl von Transistoren zu minimieren, die für die Verwirklichung erforderlich ist; natürlich kann die Offset kompensierende Stromquelle ihr eigenes Vorspannungsbezugsnetzwerk, falls gewünscht, aufweisen.

Die Vorspannungsbezugsschaltung 54 wird im Wege eines Transistors 62 mit p-Kanal verwirklicht, der mit seiner Source auf  $V_{cc}$  vorgespannt wird und dessen Gate durch eine Bezugsspannung PVBIAS vorgespannt wird, die durch eine herkömmliche Spannungsbezugsschaltung erzeugt werden kann und anderswo im Speicher 10 verwendet wird. Der Transistor 64 mit n-Kanal ist in der Art einer Diode angeschlossen, wobei sein Gate und seine Drain an die Drain des Transistors 64 angeschlossen sind. Die Größen der Transistoren 62 und 64 sind ausgewählt, um sicherzustellen, dass der Transistor 62 mit p-Kanal für die spezifizierte Spannung PVBIAS in Sättigung verbleibt. Zum Beispiel für eine Spannung PVBIAS von näherungsweise 2 Volt werden die Transistoren 62 und 64 mit W/L-Verhältnissen von näherungsweise 15 dem Transistor 62 in Sättigung aufrecht erhalten, wobei  $V_{cc}$  nominal 5 Volt beträgt. Der gemeinsame Knoten an den Drains der Transistoren 62 und 64 stellt eine Bezugsspannung ISVR dar, die an das Gate des Transistors 52 in der Vormagnetisierungsstromquelle 26 angeschlossen ist und an die Versatz kompensierende Stromquelle 28.

Wegen der großen Ströme, die durch den Spannungsbezug und -regler 24 geleitet werden, wie auch den großen Variationen der Prozessparameter und der Leistungszufuhrspannungen, die über die Temperatur erwartet werden, ist es wünschenswert, dass der Betrieb der Vorspannungsbezugsschaltung 54 so stabil wie möglich ist. Der Aufbau der Vorspannungsbezugsschaltung 54, der in Fig. 4 gezeigt ist, stellt eine solche Stabilität zur Verfügung. In dem obigen Beispiel zeigen Simulationsergebnisse an, dass das Verhältnis von Maximum- zu Minimumstrom, die durch den Transistor 52 in der Vormagnetisierungsstromquelle 26 geleitet werden, wobei die Vorspannungsbezugsschaltung 54 verwendet wird, um die Gatespannung am Knoten ISVR über Änderungen der Tempe-



ratur, der Prozessparameter und der Leistungszufuhr- bzw. Netzteilspannung einzustellen, näherungsweise 1,17 beträgt.

Die den Versatz kompensierende Stromquelle 28 gemäß dieser Schaltung wird durch eine Stromspiegelschaltung verwirklicht, in der der Bezugsast einen Transistor 66 mit p-Kanal und einen Transistor 68 mit n-Kanal enthält. Die Sources der Transistoren 66, 68 sind auf  $V_{cc}$  bzw. Erdpotenzial vorgespannt und deren Drains sind zusammengeschlossen. Das Gate des Transistors 68 mit n-Kanal empfängt die Bezugsspannung am Knoten ISVR von der Vorspannungsbezugsschaltung 54 und das Gate des Transistors 66 mit p-Kanal ist an den gemeinsamen Drainknoten der Transistoren 66, 68 angeschlossen und an das Gate des Transistors 69 mit p-Kanal in dem Spiegelast in der üblichen Weise von Stromspiegeln. Der Transistor 69 ist mit seiner Source auf  $V_{cc}$  vorgespannt, so dass sein Drainstrom den Strom  $i_{NULL}$  zur Verfügung stellt. Die relativen Größen der Transistoren 66, 69 werden natürlich das Spiegelverhältnis bestimmen und folglich den Strom  $i_{NULL}$ ; ein Spiegelverhältnis in der Größenordnung von 5 wird typisch sein, um einen Strom  $i_{NULL}$  von der Größenordnung von 2,5 mA zu erzeugen. Wie oben bemerkt, muss genug Leistungsfähigkeit für Strom für den Transistor 52 zur Verfügung gestellt werden, um diesen zusätzlichen Strom  $i_{NULL}$  zu leiten; bevorzugt wird ein Transistor mit n-Kanal parallel zu dem Transistor 52 zur Verfügung gestellt, wobei sein Gate durch die Leitung ISVR gesteuert wird und der eine Größe hat, der zu der Spiegelschaltung der Transistoren 66, 68, 69 passt, um den zusätzlichen Strom  $i_{NULL}$  in einer passenden Weise zu leiten.

Es wird nun auf die Fig. 5 und 6 Bezug genommen, wobei die Wirkung der Versatz kompensierenden Stromquelle 28 auf den Betrieb des Spannungsbezugs und -reglers 24 nun auf der Grundlage von Simulationen beschrieben wird. Die Fig. 5 stellt den Betrieb des Spannungsbezugs und -reglers 24 in dem Falle dar, wo der Strom  $i_{NULL}$  Null ist und, mit anderen Worten, als wenn die den Versatz kompensierende Stromquelle 28 nicht vorhanden wäre. Die Fig. 5 stellt die Spannung VOHREF an dem Ausgang des Spannungsbezugs und -reglers 24, die Spannung  $V_{44}$  an dem gemeinsamen Drainknoten der Transistoren 44, 48 und die Ausgangsspannung DQ an einem der Datenanschlüsse 28 dar. Die Zeit  $t_0$  zeigt den kontinuierlichen gleichmäßigen Zustand dieser Spannungen in

dem Fall an, in dem sämtliche Datenanschlüsse 28 eine niedrige Ausgangsspannung abgeben. In dem gleichmäßigen Zustand (steady-state) ist die Spannung VOHREF bevorzugt auf 3,3 Volt (die niedrigere Leistungszufuhrspannung einer integrierten Schaltung, die die Ausgangsdaten vom Speicher 10 empfängt) plus einer n-Kanalschwellenwertspannung (wobei in Betracht gezogen wird, dass der Anlauftransistor 32 im Ausgangstreiber 20 eine Einrichtung mit n-Kanal ist). Zur Zeit  $t_1$ , beginnen Datenanschlüsse 28 zu einem neuen Datenzustand zu schalten; in diesem Beispiel ist es der Zustand mit dem schlechtesten Fall, der, in dem sämtliche (z.B. 18) Datenanschlüsse 28 von einem niedrigen logischen Pegel auf einen hohen logischen Pegel zu schalten sind. Wie in Fig. 5 gezeigt, sobald dieses Schalten beginnt, wie durch die Spannung DQ, die anzusteigen beginnt, angezeigt, werden die Spannungen VOHREF und  $V_{44}$  auf Grund des signifikanten Sourcedstromes abgesenkt, der durch Ausgangspuffer 21 an der Leitung VOHREF benötigt wird, was ihre Spannung herunter zieht. Die Spannung  $V_{44}$  fällt zu dieser Zeit auch ab, da der Strom durch den Transistor 50 auf nahezu Null reduziert ist (sämtlicher Strom in dem Spiegelast wird durch die Ausgangspuffer 21 benötigt), wobei der Transistor 48 gezwungen wird, virtuell den gesamten Strom  $i_{bias}$  zu leiten. Diese zusätzliche Leitung durch den Transistor 48 lässt in Folge die Spannung am Knoten  $V_{44}$  abfallen. Eine Zeit  $t_2$  zeigt das Ende des Einschwingvorgangs des Ausganges an, so dass die Beanspruchung von Sourcedstrom abzufallen beginnt, was es der Spannung an der Leitung VOHREF erlaubt, durch den Betrieb des Spannungsbezugs und -reglers 24 anzusteigen. Wie es jedoch oben bemerkt worden ist, verbleibt, weil die kleine Größe und die Diodenkonfiguration des Transistors 44, die erforderlich ist, um das Spiegelverhältnis groß genug sein zu lassen, um den Sourcedstrom zur Verfügung zu stellen, der durch die Ausgangspuffer 21 benötigt wird, die Spannung am Knoten  $V_{44}$  für eine signifikante Zeit auf niedrigem Pegel und beginnt nicht bis zur Zeit  $t_3$  (langsam) anzusteigen. So lange, wie die Spannung am Knoten  $V_{44}$  unter ihrem Wert des gleichmäßigen Zustandes verbleibt, welcher die Transistoren 44 und 46 stark eingeschaltet aufrecht erhält, wird es der Spannung an der Leitung VOHREF ermöglicht, anzusteigen und steigt tatsächlich hinter seinem Wert des gleichmäßigen Zustandes um eine signifikante Spanne ( $V_{08}$ ) an. Dieser Anstieg von VOHREF hinter seinem gewünschten Wert kann dann über Ausgangspuffer 21 und Ausgangstreiber 20 auf die Datenanschlüsse 28 reflektiert werden, wobei in der Tat das Ausmaß erreicht werden könnte, um eine Beschädigung einer integrierten

Schaltung mit niedrigerer Leistungszufuhr zu verursachen, die an den Datenanschluss 28 angeschlossen ist.

Es wird nun auf Fig. 6 Bezug genommen, wobei der Betrieb des Spannungsbezugs und -reglers 24 für das Beispiel, bei dem der Strom  $I_{NULL}$  2,5 mA beträgt, dargestellt ist, auf der Grundlage der Simulation der gleichen Bedingungen wie die, die in Fig. 5 gezeigt sind, und wobei diese die gleiche Zeitskala wie Fig. 5 hat. Wie zuvor, verursacht die Schaltung, die zu der Zeit  $t_1$  auftritt, dass die Spannungen  $V_{OHREF}$  und  $V_{44}$  abfallen. Jedoch unterstützt der zusätzliche Strom  $I_{NULL}$ , der an den gemeinsamen Drainknoten der Transistoren 44, 46 angelegt ist, bei der Aufladung dieses Knotens und im Ergebnis tritt die Zeit  $t_3$ , zu welcher die Spannung  $V_{44}$  anzusteigen beginnt, viel eher nach der anfänglichen Schaltzeit  $t_1$  auf. Da die Spannung  $V_{44}$  anfängt, in diesem Falle schnell zu steigen, wird es der Spannung  $V_{OHREF}$  nicht ermöglicht, ihren Wert des gleichmäßigen Zustandes bzw. konstanten Zustandes um nahezu so viel zu übersteigen, noch über nahezu eine so lange Zeit, wie in dem Fall nach Fig. 5 mit  $I_{NULL}$  gleich Null. Die Beschädigung von integrierten Schaltungen mit niedriger Leistungszufuhr, die an Datenanschlüsse 28 angeschlossen sind, wird folglich vermieden.

#### Dynamische Steuerung des Vormagnetisierungsstroms

Wie es aus der vorangehenden Beschreibung offensichtlich ist, ist es wünschenswert, dass die Ausgangsimpedanz des Spannungsbezugs und -reglers 24 so niedrig wie möglich während derartige Zeiten ist, wenn Ausgangspuffer 21 und Ausgangstreiber 20 die Zustände der Datenanschlüsse 28 schalten werden. Diese niedrige Ausgangsimpedanz ermöglicht signifikante Abgabe- und Aufnahmeströme, die durch den Spannungsbezug und -regler 24 zur Verfügung zu stellen sind, ohne eine signifikante Modulation der Spannung  $V_{OHREF}$ . Jedoch erfordert eine derartig niedrige Ausgangsimpedanz, dass der DC-Strom durch den Spannungsbezug und -regler 24 signifikant ist, wobei folglich ein signifikanter Leistungsverbrauch in gleichmäßigem Zustand und das entsprechende Ansteigen der Temperatur, das Abfallen der Zuverlässigkeit und eine Belastung der Leistungszufuhren des Systems verursacht werden, was alles unerwünscht ist.

Es wird nun auf Fig. 7 Bezug genommen, wobei der Aufbau und der Betrieb der dynamischen Vorspannungsschaltung 60 beim Steuern des Vormagnetisierungsstromes  $i_{bias}$  innerhalb eines Speicherzugriffszyklus nun im Einzelnen beschrieben wird. Die dynamische Vorspannungsschaltung 60 wird als eine optionale Funktion in dem Spannungsbezug und -regler 24 für Zwecke zum Verringern des dadurch gezogenen Stromes in gleichmäßigem Zustand zur Verfügung gestellt. Wie in Fig. 7 gezeigt, empfängt die dynamische Vorspannungsschaltung 60 ein Taktsignal C50 und legt es an das Gate des Transistors 72 mit n-Kanal über einen Inverter 71 an. Der Transistor 72 ist mit seiner Drain an den Knoten ISVR an dem Ausgang der Vorspannungsbezugsschaltung 54 und an das Gate des Stromquellentransistors 52 angeschlossen. Die Source des Transistors 72 ist an die Drain des Transistors 74 mit n-Kanal angeschlossen, welcher mit seinem Gate an den Knoten ISVR angeschlossen ist und dessen Source gegenüber Erde vorgespannt ist.

Im Betrieb wird, solange das Taktsignal C50 auf hohem Potenzial bleibt, der Transistor 72 aus sein und die dynamische Vorspannungsschaltung 60 wird nicht die Gatevorspannung des Transistors 52 noch den Wert des dadurch geleiteten Stromes  $i_{bias}$  beeinträchtigen. Mit dem Taktsignal C50 auf niedrigem Pegel wird der Transistor 72 jedoch eingeschaltet werden und die Spannung an dem Gate des Transistors 52 wird auf Grund der Transistoren 72, 74 verringert, die den Knoten ISVR in Richtung Erdpotenzial bringen und den dadurch geleiteten Strom reduzieren.

Das Ausmaß, in dem die Gatevorspannung des Transistors 52 durch die dynamische Vorspannung 60 verringert wird, ist durch die Größe des Transistors 74 im Verhältnis zu der Größe des Transistors 64 in der Vorspannungsbezugsschaltung 54 und im Verhältnis zu der Größe des Transistors 52 bestimmt, wie es den Fachleuten im Stand der Technik klar sein wird. Diese Dimensionierung kann leicht bestimmt werden, wobei in Betracht zu ziehen ist, dass die Gate-Source-Spannung des Transistors 74 die gleiche wie die des Transistors 64 in der Vorspannungsbezugsschaltung 54 sein wird. Die Drain-Source-Spannung des Transistors 74 wird niedriger als die des Transistors 64 sein, jedoch um den Betrag der Drain-Source-Spannung des Transistors 72, wenn er eingeschaltet wird, was typischerweise sehr klein, z.B. in der Größenordnung von 100 mV,

sein wird. Sind beide Transistoren 64, 74 in Sättigung, werden deren Drainströme nicht signifikant durch deren Drain-Source-Spannungen beeinträchtigt und als solche können die Transistoren 64, 74 als in parallel zueinander geschaltet betrachtet werden, wenn der Transistor 72 eingeschaltet ist. Da der Strom im Transistor 52 den des Transistors 64 spiegelt (parallel zu Transistor 74, wenn Transistor 72 eingeschaltet ist), steuert das Taktsignal C50 den Strom  $i_{\text{BIAS}}$ , der das Stromspiegelverhältnis des Transistors 64 zum Transistor 52 effektiv ändert.

Zum Beispiel in dem Fall, wo der Strom  $i_{\text{BIAS}}$  auf 50 % von seinem vollen Wert, ausgenommen während des Schaltens von Ausgängen, zu reduzieren ist, werden die Kanalbreite und die Kanallänge der Transistoren 64 und 74 die gleichen sein, falls die Kanalbreite und die Kanallänge der Transistoren 64 und 52 die gleichen sind, wie in diesem Beispiel. Mit dem ausgeschalteten Transistor 72 wird der Strom  $i_{\text{BIAS}}$  dem Strom  $i_{64}$  durch den Transistor 64 in er Vorspannungsbezugsschaltung 54 gleichen. Mit dem eingeschalteten Transistor 72 (Taktsignal C50 auf niedrigem Pegel) sind, wie oben bemerkt, die Transistoren 64 und 74 effektiv parallel zueinander und haben in diesem Beispiel eine Kanalbreite, die effektiv die doppelte des Transistors 52 ist. Das Stromspiegelverhältnis ist deshalb ein halb, da:

$$\frac{W_{52}}{W_{64} + W_{74}} = \frac{1}{2}$$

wobei  $W_{52}$ ,  $W_{64}$ ,  $W_{74}$  die Kanalbreiten der Transistoren 52, 64, 74 sind (die Kanallängen werden als gleich angenommen. Die Summe  $W_{64} + W_{74}$  ist die effektive Kanalbreite der Transistoren 64 und 74 parallel zueinander. Folglich wird der Strom  $i_{\text{BIAS}}$  um ein halb während einer derartigen Zeit, wenn das Taktsignal C50 auf niedrigem Potenzial ist, verringert.

Es wird nun auf Fig. 8 Bezug genommen, wobei der Betrieb der dynamischen Vorspannungsschaltung 60 und ihre Wirkung auf den Vormagnetisierungsstrom  $i_{\text{BIAS}}$  innerhalb eines Speicherzugriffszyklus nun beschrieben wird. Die Zeit  $t_0$  stellt die Bedingung des Speichers 10 an dem Ende eines vorherigen Zyklus in dem gleichmäßigen Zustand (stea-

dy-state) dar. Die Datenanschlüsse DQ stellen Ausgangsdatenwerte  $DATA_0$  des früheren Zyklus dar. Der Takt C50 ist zu dieser Zeit niedrig, da kein Schalten eines Ausganges auftritt. Folglich ist der Strom  $i_{BIAS}$  bei der Hälfte seines maximalen Wertes, da der Transistor 72 (Fig. 7) durch den Inverter 71 eingeschaltet ist, wobei der Transistor 74 parallel zu dem Transistor 64 der Vorspannungsbezugsschaltung 54 gelegt wird und folglich wird das Spiegelverhältnis des Transistors 52 verringert. Dies verringert den Strom  $i_{BIAS}$ , der durch den Spannungsbezug und -regler 24 während Zeiten in dem Speicherzugriffszyklus gezogen wird, in denen ein Schalten eines Ausganges nicht erwartet wird und folglich während denen nur der vorherige Datenzustand (das heißt  $DATA_0$ ) aufrechterhalten wird. Die Ausgangsimpedanz des Spannungsbezugs und -reglers 24 kann relativ hoch während dieser Zeit sein, jedoch wird die Spannung an der Leitung VOHREF auf ihren korrekten Pegel des gleichmäßigen Zustandes (steady-state) aufrecht erhalten.

Zu der Zeit  $t_1$  wird ein neuer Speicherzugriffszyklus durch das Aktivwerden des Eingangstaktes CLK eingeleitet; alternativ kann z.B. in einem vollkommen statischen Speicher der Takt CLK einem Flankenübergangserfassungsimpuls entsprechen, der durch die Erfassung eines Überganges an Adress- oder Dateneingangsanschlüssen des Speichers erzeugt wird. In Reaktion auf die führende Flanke des Taktes CLK wird das Taktsignal C50 nach einer ausgewählten Verzögerung entsprechend einer Zeit aktiviert, die sicher kleiner als die minimale erwartete Lesezugriffszeit des Speichers ist. Sobald das Taktsignal C50 zur Zeit  $t_2$  aktiv wird, wird der Transistor 72 dann durch den Betrieb des Inverters 71 ausgeschaltet. Dementsprechend wird das Stromspiegelverhältnis des Transistors 52 auf seinen Maximalwert (Einheit bzw. Gleichheit in diesem Beispiel) vor einer derartigen Zeit gebracht, wenn die Ausgangspuffer 25 und Ausgangstreiber 20 beginnen, Datenanschlüsse 28 in einen neuen Datenzustand zu treiben (das heißt  $DATA_1$ ). Nach einer anderen Verzögerungszeit, die ausreicht, um sicherzustellen, dass der neue Datenzustand  $DATA_1$  stabil ist, geht das Taktsignal C50 auf einen niedrigen Pegel zurück, der zur Zeit  $t_3$  nach Fig. 8 gezeigt ist. Dies wiederum schaltet den Transistor 72 ein, wobei  $i_{BIAS}$  auf 50% seines Maximalwertes in diesem Beispiel verringert wird und folglich der durch den Spannungsbezug und -regler 24 gezogene DC-Strom verringert wird.

### Einstellbare Vormagnetisierungsstromquelle

Es wird nun auf Fig. 9 Bezug genommen, wobei nun eine Vormagnetisierungsstromquelle 26' gemäß einer alternativen Schaltung im Einzelnen beschrieben wird. Die Vormagnetisierungsstromquelle 26' stellt für mehrere Einstellungspegel des Stroms  $i_{BIAS}$  für den Spannungsbezug und -regler 24 zur Verfügung, steuerbar entweder durch Taktsignale, wie in dem Fall der oben beschriebenen dynamischen Vorspannungsschaltung 60, oder durch Programmiersicherungen.

Die Vormagnetisierungsstromquelle 26' bezieht die Vorspannungsbezugsschaltung 54 und den Stromquellentransistor 52 ein, die, wie zuvor, an den Spannungsbezug und -regler 24 angeschlossen ist. Zusätzlich sind, wie oben in Bezug auf Fig. 7 beschrieben, Transistoren 72 und 74 vorgesehen, um den Strom  $i_{BIAS}$  auf 50% seines früheren Wertes zu verringern, wenn der Transistor 72 eingeschaltet ist bzw. wird. In diesem Fall wird jedoch das Gate des Transistors 72 durch eine NAND-Funktion 73 gesteuert, die das Taktsignal C50 an einem Eingang empfängt, und welche den Ausgang der Sicherungsschaltung 75 am Knoten FEN50\* am anderen Eingang empfängt.

Die Sicherungsschaltung 75 stellt die Programmierbarkeit des Zustandes des Transistors 72 in einer permanenten Weise zur Verfügung. Eine derartige Programmierbarkeit kann in den frühen Stadien des Designs und der Herstellung des Speichers 10 nützlich sein, wenn der optimale Wert von  $i_{BIAS}$  noch nicht bestimmt worden ist. Zusätzlich ist auch die Programmierbarkeit des Wertes von  $i_{BIAS}$  wünschenswert, falls die Prozessvariationen bei der Herstellung des Speichers 10 stark genug abweichen, so dass der optimale Wert von  $i_{BIAS}$  bevorzugt nach anfänglichen Tests des Speichers 10 eingestellt wird. Falls z.B. der Speicher 10 prozessiert wird, um sehr kurze Kanalbreiten zu haben, kann der Wert von  $i_{BIAS}$  bevorzugt durch Programmieren der Sicherungsschaltung 75 verringert werden, um den Transistor 72 zu sämtlichen Zeiten eingeschaltet zu halten. Ferner kann man die Sicherungsschaltung 75 programmieren, um eine gewünschte Ausgangsanstiegsrate auszuwählen.

Der Aufbau der Sicherungsschaltung 75 kann auf irgendeine von einer Anzahl herkömmlicher Arten realisiert werden. Das Beispiel nach Fig. 9 hat einfach eine Sicherung 76, die zwischen  $V_{cc}$  und dem Eingang des Inverters 77 angeschlossen ist, welche von ihrem Ausgang den Knoten FEN50\* ansteuert. Die Transistoren 78 und 79 sind mit ihren Source-/Drainpfaden zwischen dem Eingang des Inverters 77 und dem Erdpotenzial angeschlossen. Das Gate des Transistors 78 empfängt ein Leistungseinschaltrücksetzsignal POR, so dass der Transistor 78 den Eingang des Inverters 77 auf das Erdpotenzial bei dem Einschalten bzw. Anlaufen des Speichers 10 zieht. Das Gate des Transistors 78 ist an den Ausgang des Inverters 77 am Knoten FEN50\* angeschlossen. Im Betrieb wird der Knoten FEN50\* mit intakter Sicherung 76 durch den Betrieb des Inverters 77 auf niedrigem Potenzial gehalten. Mit offener Sicherung 76 wird ein Puls auf der Leitung POR den Eingang des Inverters 77 auf ein niedriges Potenzial ziehen, wobei der Knoten FEN50\* auf ein hohes Potenzial getrieben wird und der Transistor 78 eingeschaltet wird, um diesen Zustand aufrecht zu erhalten.

Im Betrieb wird der Ausgang der NAND-Funktion 74 hoch sein, falls entweder das Taktsignal C50 oder der Knoten FEN50\* niedrig bzw. auf niedrigem Potenzial ist. Indem demgemäß die Sicherung 76 nicht aufgeschmolzen wird, wird der Knoten FEN50\* auf niedrigem Potenzial gehalten, wobei der Ausgang der NAND-Funktion 70 hoch gehalten wird und der Transistor 72 unbedingt eingeschaltet bleibt. Mit der geöffneten Sicherung 76 wird das Taktsignal C50 den Zustand des Transistors 72 wie in dem oben beschriebenen Fall der Fig. 8 steuern.

Natürlich wird es erwogen, dass der Speicher 10 ohne Taktsignal C50 verwirklicht werden kann, so dass der Zustand des Transistors 72 lediglich von dem programmierten Zustand der Sicherungsschaltung 75 abhängt.

Die Vormagnetisierungsstromquelle 26' gemäß dieser alternativen Schaltung enthält auch Transistoren 72', 74', die in Reihe zwischen dem Knoten ISVR und dem Erdpotenzial in gleicher Weise wie die zuvor beschriebenen Transistoren 72, 74 angeschlossen sind. Das Gate des Transistors 72 wird gleichermaßen durch die NAND-Funktion 73' in Reaktion auf den Zustand des Taktsignals C67 und auf die Sicherungsschaltung 75' über



den Knoten FEN67\* gesteuert. Jedoch wird die Größe des Transistors 74' als unterschiedlich von der des Transistors 74 ausgewählt, so dass, wenn der Transistor 72' durch entweder das Taktsignal C67 oder durch die Sicherungsschaltung 75' eingeschaltet wird, der Strom  $i_{BIAS}$  ausgewählt ist, um bei einem anderen Teil seines maximalen Wertes zu sein. Falls z.B. die Kanalbreite des Transistors 74' die Hälfte der des Transistors 52 und des Transistors 64 in der Vorspannungsbezugsschaltung 54 ist (die gleiche Kanallänge angenommen), dann beträgt die effektive Kanalbreite der parallelen Kombination von Transistoren 64, 74' die 1,5-fache Kanalbreite des Transistors 52. Demgemäß wird der Wert von  $i_{BIAS}$  mit eingeschaltetem Transistor 74' zwei Drittel dessen seines maximalen Wertes mit dem ausgeschalteten Transistor 74' betragen.

Natürlich können andere Transistoren mit variierenden Größen ähnlich in der Vormagnetisierungsstromquelle 26' realisiert werden, falls verschiedene Werte des Stromes  $i_{BIAS}$  erwünscht sind, um permanent programmiert oder zu bestimmten Zeiten des Speicherzyklus getaktet zu sein bzw. zu werden. Zusätzlich können z.B. beide Transistoren 72, 72' gleichzeitig eingeschaltet sein, um ferner den Strom  $i_{BIAS}$  zu verringern. Es ist in Betracht zu ziehen, dass andere Kombinationen zur Reduktion des Stromes den Fachleuten im Stand der Technik vor Augen sind.

Gemäß dieser alternativen Schaltung kann deshalb der Wert des Vormagnetisierungsstromes  $i_{BIAS}$  für das bestimmte Design für individuelle Speicherschaltungen abhängig von dem Prozessparametern, wie sie durch elektrische Tests bestimmt sind, oder an spezifischen Punkten in der Zeit während des Speicherzyklus optimiert werden. Diese Optimierung ermöglicht die Optimierung des Kompromisses zwischen maximalem Anschlussstrom und Einfall- bzw. Senkstrom und minimaler Ausgangsimpedanz für die Spannungsreferenz und den -regler 24 einerseits und den durch den Spannungsreferenz und -regler 24 gezogenen Strom andererseits. Zusätzlich kann die gewünschte Ausgangsanstiegsgeschwindigkeit bei dieser Optimierung ausgewählt werden.

### VOH-Steuerung mit variablem Ausgang

Gemäß einer anderen alternativen Schaltung wird entweder mittels eines logischen Signals oder mittels Sicherungsprogrammierbarkeit die Auswählbarkeit der VOHREF beschränkenden Funktionen zur Verfügung gestellt. Gemäß dieser Ausführungsform der Erfindung ist es zu erwägen, dass nicht sämtliche Speicher des gleichen Designs für die Verwendung und Kombination mit anderen integrierten Schaltungen, die niedrigere Leistungszufuhren verwenden, spezifiziert werden können. Zum Beispiel kann ein Untersatz von diesen Speichern ein  $V_{OH}$ -Maximum von 5,0 Volt haben, während ein anderer Untersatz ein  $V_{OH}$ -Maximum haben kann, das auf 3,3 Volt beschränkt ist. Zu Zwecken der leichten Herstellung und der Bestandsaufnahmesteuerung ist es zu bevorzugen, ein einziges Design integrierter Schaltungen zu haben, das zur Verwendung für alles zweckmäßig ist, wo die Entscheidung zwischen 5,0 Volt oder 3,3 Volt  $V_{OH}$ -Maximum in dem letzten möglichen Stadium des Herstellungsprozesses gemacht werden kann. Zusätzlich kann die Zweckmäßigkeit von spezifischen Speicherchips für einen Betrieb bei 3,3 Volt von Prozessparametern abhängen, wie etwa der Stromzufuhr, so dass bestimmte Speicher die Betriebsspezifikation mit 3,3 Volt nicht erfüllen können, selbst falls die Begrenzungsfunktion für VOHREF freigegeben ist, aber die Betriebsspezifikationen für Speicher mit 5,0 Volt  $V_{OH}$ -Maximum erfüllen würden. In diesem Fall wäre es wünschenswert, die Auswählbarkeit der VOHREF-Begrenzungsfunktionen nach dem elektrischen Test zu haben.

Ferner kann es bei der Alternative nützlich sein, einen speziellen Testmodus für den Speicher 10 zu haben, in welchem die VOHREF-Beschränkungsfunktion wahlweise freigegeben und gesperrt werden könnte. Es wird nun auf Fig. 10 Bezug genommen, wobei eine Ausführungsform der Erfindung dargestellt ist, in der der Spannungsbezug und -regler 124 ähnlich bzw. gleichermaßen aufgebaut ist, wie der Spannungsbezug und -regler 24, der oben beschrieben ist, jedoch mittels eines externen Signals, einem speziellen Testmodussignal oder der Programmierung einer Sicherungsschaltung gesperrt werden kann. Derartige Bestandteile, die der Spannungsbezug und -regler 24 und der Spannungsbezug und -regler 124 gemeinsam haben, werden durch das gleiche Bezugs-

zeichen in Bezug genommen und werden im Hinblick auf den Spannungsbezug und -regler 124 nicht abermals beschrieben.

Zusätzlich zu den zuvor beschriebenen Bestandteilen enthält der Spannungsbezug und -regler 124 Transistoren 82, 84, 89 mit p-Kanal und einen Transistor 86 mit n-Kanal, die bestimmte Knoten auf  $V_{cc}$  oder das Erdpotenzial in dem Falle zwingen, dass die Beschränkungsfunktion für VOHREF zu sperren ist, wie es durch den Ausgang des NOR-Gatters 80 angezeigt wird, wie es im Folgenden beschrieben wird. Jeder der Transistoren 82, 84, 89 mit p-Kanal ist mit seiner Source auf  $V_{cc}$  vorgespannt und ihre Gates empfangen die Leitung LIMOFF\* von dem Ausgang des NOR-Gatters 80. Die Drain des Transistors 82 ist an die Gates der Transistoren 44, 46 in dem Stromspiegel des Spannungsbezugs und -reglers 124 angeschlossen, wobei die Drain des Transistors 84 an die Leitung VOHREF an dem Ausgang des Spannungsbezugs und -reglers 124 angeschlossen ist, und die Drain des Transistors 89 ist an den Eingang der Vorspannungsbezugschaltung 54 angeschlossen. Der Transistor 86 mit n-Kanal ist mit seiner Drain an den Knoten ISVR in der Vormagnetisierungsstromquelle 26 angeschlossen, wobei seine Source am Erdpotenzial angeschlossen ist und wobei sein Gate das Signal LIMOFF\* nach der Inversion durch den Inverter 87 empfängt. Gemäß dieser Ausführungsform der Erfindung wird das Durchgangsgatter 88 zwischen der Spannung PVBIAS und der Vorspannungsbezugschaltung 54 zur Verfügung gestellt und wird durch Wahr- und Komplementärsignale basierend auf dem Signal LIMOFF\* gesteuert.

Falls im Betrieb die Leitung LIMOFF\* an dem Ausgang der NOR-Funktion 80 auf einem hohen logischen Pegel ist, sind die Transistoren 82, 84, 86, 89 allesamt ausgeschaltet und das Durchgangsgatter 88 ist eingeschaltet; in diesem Fall arbeitet der Spannungsbezug und -regler 124, um die Spannung an der Leitung VOHREF in der hier oben beschriebenen Weise für den Spannungsbezug und -regler 24 zu begrenzen.

Falls jedoch die Leitung LIMOFF\* an dem Ausgang der NOR-Funktion 80 auf einem niedrigen logischen Pegel ist, werden die Transistoren 82, 84, 86, 89 allesamt eingeschaltet und das Durchgangsgatter 88 wird ausgeschaltet. In diesem Zustand wird die Leitung VOHREF auf 5,0 Volt gezwungen und folglich ist die an die Ausgangspuffer 21

angelegte Drainspannung (und folglich die an das Gate der Anlauftransistoren 32 in den Ausgangstreibern 20 angelegte) nicht auf einen reduzierten Pegel begrenzt. Um den DC-Strom, der durch den Spannungsbezug und -regler 124 gezogen wird, zu minimieren, werden verschiedene Knoten darin auch auf bestimmte Spannungen gezwungen. In diesem Beispiel werden die Gates von Transistoren 44, 46 durch den Transistor 82 auf  $V_{cc}$  gezogen, wobei folglich sowohl der Bezugsast als auch der Spiegelast in dem Spannungsbezug und -regler 124 ausgeschaltet werden. Das Durchgangsgatter 88 schaltet die Spannung BVBIAS von der Vorspannungsbezugsschaltung 54 weg, wobei der Transistor 89 den Eingang der Vorspannungsbezugsschaltung 54 auf  $V_{cc}$  zieht, und der Transistor 86 zieht den Knoten ISVR auf Erdpotenzial, wobei folglich Transistoren 52 und 58 ausgeschaltet werden. Natürlich kann der Ausgang der NOR-Funktion 80 auch an die Knoten ohne einen Versatz kompensierende Stromquelle 28, eine Vorspannungsbezugsschaltung 54 und dergleichen, wie es wünschenswert ist, angeschlossen werden.

In diesem Beispiel der Erfindung empfängt die NOR-Funktion 80 drei Eingänge, von denen irgendeiner, der auf einem hohen logischen Pegel ist, die Leitung LIMOFF\* dazu veranlassen wird, auf einen niedrigen logischen Pegel gesteuert zu werden. Ein erster Eingang ist das logische Signal DIS, das anderswo im Speicher 10 erzeugt werden kann, z.B. in der Zeitgeber- bzw. Zeitsteuerungs- und Steuerschaltung 14; z.B. kann eine bestimmte Kombination von Eingängen oder Befehlen an den Speicher 10 angelegt werden, so dass das logische Signal DIS aktiviert wird. Ein zweiter Eingang der NOR-Funktion 80 am Knoten FDIS wird durch eine Sicherungsschaltung 90 erzeugt. Die Sicherungsschaltung 90 ist, wie oben in Bezug auf die Sicherungsschaltung 75 beschrieben, aufgebaut, so dass der Knoten FDIS auf einem niedrigen logischen Pegel mit der intakten Sicherung ist, und auf einem hohen logischen Pegel, falls die Sicherung geschmolzen bzw. zerschossen ist.

Gemäß dieser Ausführungsform der Erfindung kann ein spezieller Prüfkontakt TP auch die Freigabe und Sperrung des Spannungsbezugs und -reglers 124 während elektrischer Tests an dem Waferstadium steuern (das heißt vor der Verpackung bzw. Verkapselung). Der Prüfkontakt TP ist an den Eingang des Inverters 91 angeschlossen, der den Knoten TDIS ansteuert, der als ein Eingang der NOR-Funktion 80 empfangen wird. Der Tran-

sistor 92 ist mit seinem Source-/Drainpfad zwischen dem Eingang des Inverters 91 und dem Erdpotenzial angeschlossen, und ist mit seinem Gate an den Knoten TDIS an dem Ausgang des Inverters 91 angeschlossen. Der Transistor 93 ist mit seinem Source-/Drainpfad zwischen dem Eingang des Inverters 91 und dem Erdpotenzial angeschlossen und sein Gate wird durch das Leistungseinschaltrücksetzsignal POR gesteuert.

Falls der Prüfkontakt TP im Betrieb bei  $V_{cc}$  gehalten wird, wird der Inverter 91 den Knoten TDIS auf ein niedriges Potenzial zwingen. Falls jedoch der Prüfkontakt TP offen gelassen wird oder an Erdpotenzial angeschlossen ist, wird dieser beim Einschalten des Transistors 93 den Eingang des Inverters 91 auf ein niedriges Potenzial ziehen, wobei ein hoher logischer Pegel am Knoten TDIS erzwungen wird, der während des Betriebs des Transistors 92 aufrecht erhalten wird. Es wird erwogen, dass der Testkontakt TP folglich die Freigabe und die Sperrung des Spannungsbezugs und -reglers 124 während eines elektrischen Testes steuern kann. Abhängig von dem Ergebnis einer solchen Prüfung kann der Prüfkontakt TP über einen Draht an  $V_{cc}$  angebondet werden, falls der Spannungsbezug und -regler 124 permanent freizugeben ist oder offen gelassen wird (bevorzugt mit Erdpotenzial fest verdrahtet), falls der Spannungsbezug und -regler 124 permanent für einen bestimmten Speicher 10 zu sperren ist.

Eine derartige wahlweise Freigabe und Sperrung der Funktion zur Begrenzung von  $V_{OH}$  des Spannungsbezugs und -reglers gemäß der vorliegenden Erfindung ist in Erwägung zu ziehen, um die Herstellungssteuerung von integrierten Schaltungen, die die Funktion enthalten, zu verbessern. Insbesondere können integrierte Schaltungen entsprechend den verschiedenen Spezifikationsgrenzen aus dem gleichen Design mit Auswahl der maximalen Spannung  $V_{OH}$ , die spät im Herstellungsprozess gemacht wird, nach elektrischen Tests hergestellt werden. Wie zusätzlich oben bemerkt, kann eine Programmierung mittels Sicherung bzw. Sicherungen verwendet werden, um den Spannungsteiler einzustellen, der die Eingangsspannung an die Spannungsbezugs- und -regelschaltung anlegt, was eine zusätzliche Feineinstellung der gewünschten maximalen Spannung  $V_{OH}$  ermöglicht.

Während die Erfindung hierin in Bezug auf ihre bevorzugten Ausführungsformen beschrieben worden ist, ist es natürlich in Erwägung zu ziehen, dass Modifikationen dieser

Ausführungsformen oder Alternativen dazu, wobei solche Modifikationen und Alternativen die Vorteile und Vorzüge dieser Erfindung erzielen, den Fachleuten im Stand der Technik vor Augen geführt werden, die auf diese Beschreibung und ihre Darstellungen Bezug nehmen. Der Bereich diese Erfindung ist, wie er nachfolgend hierin beansprucht wird.

95 308 561.0

EP 0 718 977

### Patentansprüche

1. Treiberausgangsschaltung bzw. Ausgangstreiberschaltung für eine integrierte Schaltung, die aufweist:

einen Anlaufreibertransistor (32), der einen Leiterpfad hat, der zwischen einer Leistungszufuhrspannung bzw. Netzteilzufuhrspannung (VCC) und einem Ausgangsanschluss (28) angekoppelt ist, und der eine Steuerelektrode hat;

eine Schaltung (21), um die Ansteuerung des Anlaufreibertransistors in Reaktion auf eine Vorspannung (VOHREF) zu begrenzen; und

eine Bezugsspannungs- und Spannungsregelschaltung (24), die einen Ausgangsknoten hat, um die Vorspannung zu erzeugen, die aufweist:

Mittel (47, 49), um eine Vorgabe- bzw. Zielspannung auf der Grundlage der Leistungszufuhr- bzw. Netzteilspannung zu erzeugen;

einen Differentialverstärker (48, 50) mit einer Stromspiegellast (44, 46), die einen Bezugsast (44, 48) und einen Spiegelast (46, 50) hat, wobei der Bezugsast- bzw. -zweig auf die Vorgabe- bzw. Zielspannung anspricht, um einen ersten Strom zu leiten, wobei der Spiegelast bzw. -zweig einen Transistor aufweist, der eine Source hat, die an die Leistungszufuhr- bzw. Netzteilspannung angekoppelt ist, und eine Drain hat, die den Ausgangsknoten festlegt, wobei der Spiegelast einen gespiegelten Strom in Reaktion auf den ersten Strom leitet und die Vorspannung an der Drain des Transistors auf der Grundlage des gespiegelten Stromes erhalten wird;

eine Vormagnetisierungsstromquelle (52), die an den Bezugsast und den Spiegelast des Stromspiegels angekoppelt ist, die einen Eingang hat, der an den Vorspannungseingangsanschluss angekoppelt ist, um die Summe der Ströme in dem Bezugs- bzw. Referenz- und dem Spiegelast und folglich die Stromquellenleistung der Spannungsreferenz- und Spannungsregelschaltung zu steuern; und

eine Schaltung (80, 84), die auf ein Sperrsignal reagiert, um auswählbar die Drain des Transistors auf die Leistungszufuhr- bzw. Netzteilspannung vorzuspannen, und einen Ausschalttransistor (86), der eine Steuerelektrode hat, die angekoppelt ist, um das Sperrsignal zu empfangen, um gleichzeitig den Eingang der Vormagnetisierungsstromquelle auf das Erdpotential zu bringen.

2. Ausgangstreiber nach Anspruch 1, wobei der Differentialverstärker ein Paar aufweist, deren Sources gekoppelt sind, wobei einer des Paares (48) in dem Bezugsast angeordnet ist und der andere von dem Ast (50) in dem Spiegelast angeordnet ist, und wobei die Bezugsspannungs- und Spannungsregelschaltung (24) ferner aufweist, eine Schwellenwertverstellungsschaltung (30), die aufweist, eine Diode, die an einen Transistor (56) angeschlossen ist, der zwischen der Drain des Spiegelasttransistors (46) und der Steuerelektrode des anderen Transistors (50) des Paares angeschlossen ist, wobei die Schwellenwertverstellungsschaltung (30) ferner aufweist, einen zweiten Transistor (58), der die Steuerelektrode an das Erdpotential anschließt, wobei der zweite Transistor der Schwellenwertverschiebeschaltung (30) eine Steuerelektrode hat, die an den Eingang der Vormagnetisierungsstromquelle (52) angeschlossen ist, wodurch der zweite Transistor gesperrt wird, wenn die Vormagnetisierungsstromquelle gesperrt ist.

3. Ausgangstreiber nach Anspruch 2, wobei dieser ferner aufweist, eine Vorspannungs- bzw. Vorbelastungsbezugsschaltung (54), um eine Vorbezugsspannung für die Vormagnetisierungsstromquelle zu erzeugen, wobei die Vorspannungs- bzw. Vorbelastungsreferenzschaltung einen Eingang hat, der über ein Durchgangsgatter (88) an den Vorspannungseingangsanschluss (PVB) angeschlossen ist, wobei das Durchgangsgatter eine Steuerelektrode hat, die betreibbar ist, um wahlweise den Vorspannungseingangsanschluss (PVB) von der Vorspannungs- bzw. Vorbelastungsbezugsschaltung gleichzeitig mit dem Ansteuern bzw. Anschalten der Vormagnetisierungsstromquelle auf das Erdpotential abzuschalten bzw. abzukoppeln.

4. Ausgangstreiber nach Anspruch 3, der ferner aufweist, einen Ausschalt- bzw. Sperrtransistor (39), der einen Leiterpfad hat, der zwischen dem Eingang der Vorspan-



nungsbezugsschaltung (54) und der Leistungszufuhr- bzw. Netzteilspannung angeschlossen ist.

5. Ausgangstreiberschaltung nach Anspruch 1, wobei der Stromspiegel ferner einen an eine Diode angeschlossenen P-Transistor (44) aufweist, der an die Steuerelektrode des Transistors (46) des Spiegelastes angeschlossen ist, und ferner aufweist, einen zweiten Ausschalt- bzw. Sperrtransistor (82), wobei ein zweiter Ausschalt- bzw. Sperrtransistor (82) zwischen der Steuerelektrode des Transistors (46) des Spiegelastes und einer Leistungszufuhr- bzw. Netzteilspannung angeschlossen ist, und der eine Steuerelektrode hat, die angekoppelt ist, um das Ausschalt- bzw. Sperrsignal zu empfangen.

6. Ausgangstreiberschaltung nach Anspruch 1, wobei die Schaltung zum Begrenzen der Ansteuerung bzw. des Antriebes des Anlauffreibertransistors aufweist, einen Ausgangspuffer, der einen Eingang zum Empfangen eines Datensignals hat, und der einen Ausgang hat, der an die Steuerelektrode mit einem Anlauffreibertransistor angeschlossen ist, wobei der Ausgangspuffer angeschlossen ist, um ein Vorspannungssignal zu empfangen, das niedriger als die Leistungszufuhr bzw. Netzteilspannung ist.

7. Ausgangstreiber nach Anspruch 6, wobei der Ausgangspuffer aufweist:  
einen Pufferanlauftransistor, der einen Leitungspfad hat, der zwischen der Vorspannung und der Steuerelektrode des Anlauffreibertransistors angeschlossen ist, und der eine Steuerelektrode hat, die angekoppelt ist, um das Datensignal zu empfangen;  
einen Pufferbrems- bzw. -ausschalttransistor, der einen Leiterpfad hat, der zwischen der Steuerelektrode des Anlauffreibertransistors und der Bezugsspannung angeschlossen ist und der eine Steuerelektrode hat, die angekoppelt ist, um das Datensignal zu empfangen.

8. Ausgangstreiberschaltung nach Anspruch 1, wobei das Sperrsignal ein getaktetes Signal ist.

9. Ausgangstreiberschaltung nach Anspruch 1, die ferner aufweist:

eine Sicherungsschaltung, um das Sperrsignal in Reaktion auf den Zustand einer Sicherung bzw. Schmelzsicherung zur Verfügung zu stellen.

10. Verfahren zum Steuern eines Anlauftreibertransistors (32) in einem Ausgangstreiber, um einen hohen logischen Ausgangspegel an einem Ausgangsanschluss zur Verfügung zu stellen, der eine Spannung hat, die niedriger als eine Leistungszufuhr- bzw. Netzteilspannung ist, das die Schritte aufweist:

ein Begrenzungsmodus-Sperrsignal (LIMOFF) wird in einem ersten Zustand oder in einem zweiten Zustand empfangen;

in Reaktion auf den Empfang des Begrenzungsmodus-Sperrsignals (LIMOFF) in dem ersten Zustand wird an einem Schaltungsknoten (VOHREF) eine Bezugsausgangsspannung erzeugt, indem ein Stromspiegelast bzw. -zweig (46, 50) gesteuert wird, wobei das Ausmaß, in dem ein Transistor (48) in dem Bezugssast bzw. -zweig leitend ist, durch eine Vorgabe- bzw. Zielspannung auf der Grundlage der Leistungszufuhr- bzw. Netzteilspannung gesteuert wird, und wobei der Strom durch den Spiegelast die Ausgangsbezugsspannung bestimmt;

in Reaktion auf den Empfang des Begrenzungsmodus-Sperrsignals (LIMOFF) in dem zweiten Zustand wird der Schaltungsknoten (VOHREF) an die Leistungszufuhr- bzw. Netzteilspannung angeschlossen (84);

der Schaltungsknoten wird an den Anlauftransistor (36) in einem Ausgangspuffer angeschlossen, um eine Vorspannung dafür zur Verfügung zu stellen;

in Reaktion auf den Empfang eines Dateneingangssignals, das anzeigt, dass der Ausgangstreiber dazu in der Lage ist, um einen Ausgang mit hohem logischem Pegel zur Verfügung zu stellen, und wenn das Begrenzungsmodus-Sperrsignal in dem ersten Zustand ist, wird der Anlauftransistor (36) in dem Ausgangspuffer eingeschaltet, um die Ausgangsbezugsspannung an die Steuerelektrode des Anlauftreibertransistors (32) anzulegen; und

in Reaktion auf den Empfang eines Dateneingangssignals, das anzeigt, dass der Ausgangstreiber in der Lage ist, um einen Ausgang mit hohem logischem Pegel zur Verfügung zu stellen, und wenn das Begrenzungsmodus-Sperrsignal in dem zweiten Zustand ist, wird der Anlauftransistor (36) in dem Ausgangspuffer eingeschaltet, um die Leis-

tungszufuhr bzw. Netzteilspannung an die Steuerelektrode des Anlaufreibertransistors (32) anzulegen.

95 308 561.0  
EP 0 718 977

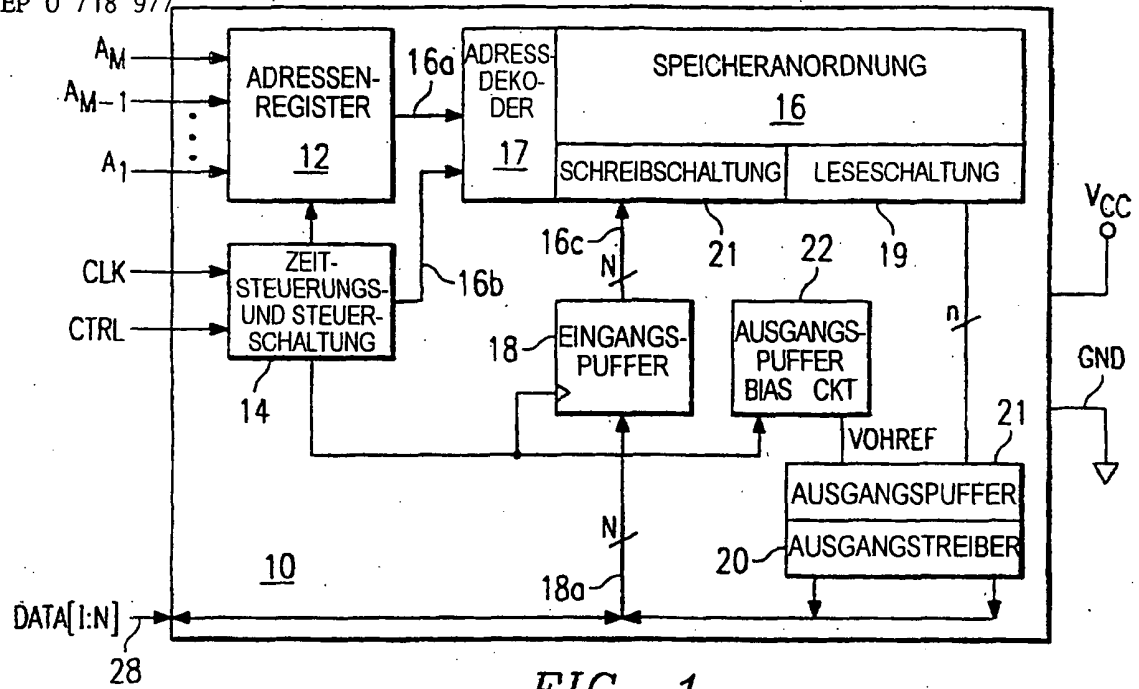


FIG. 1

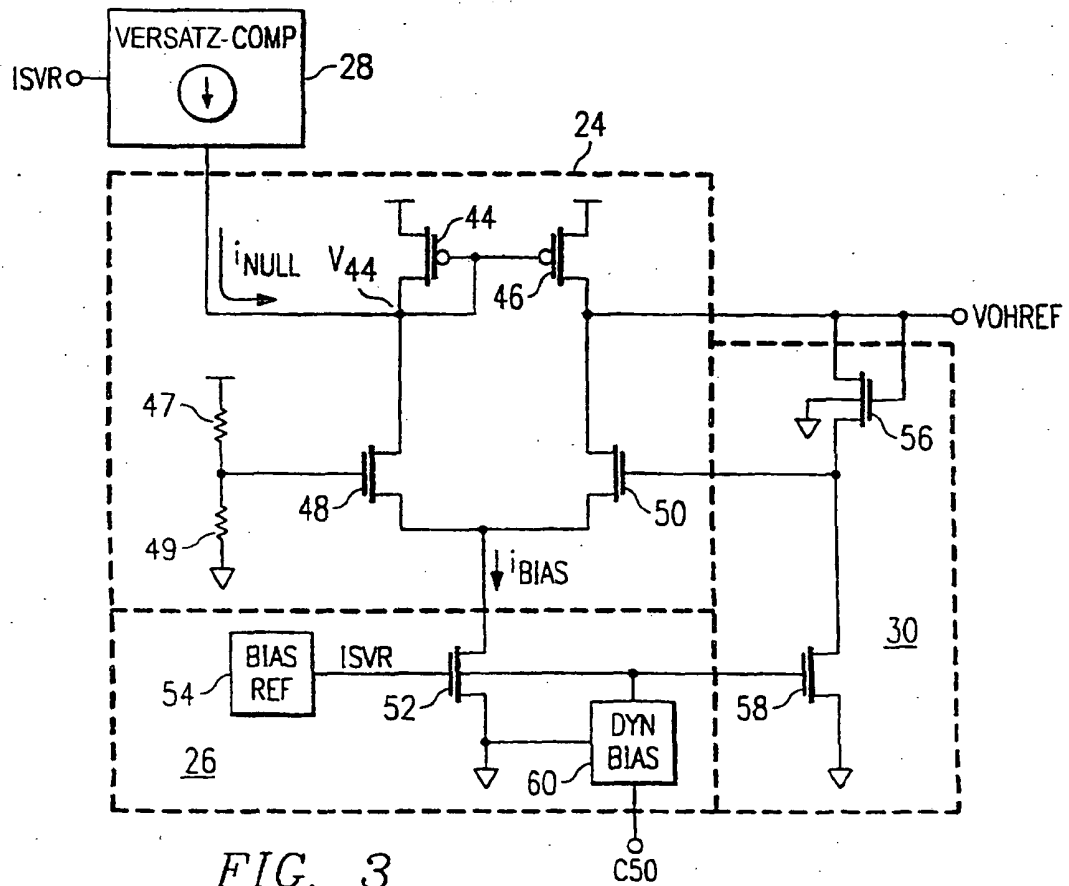


FIG. 3

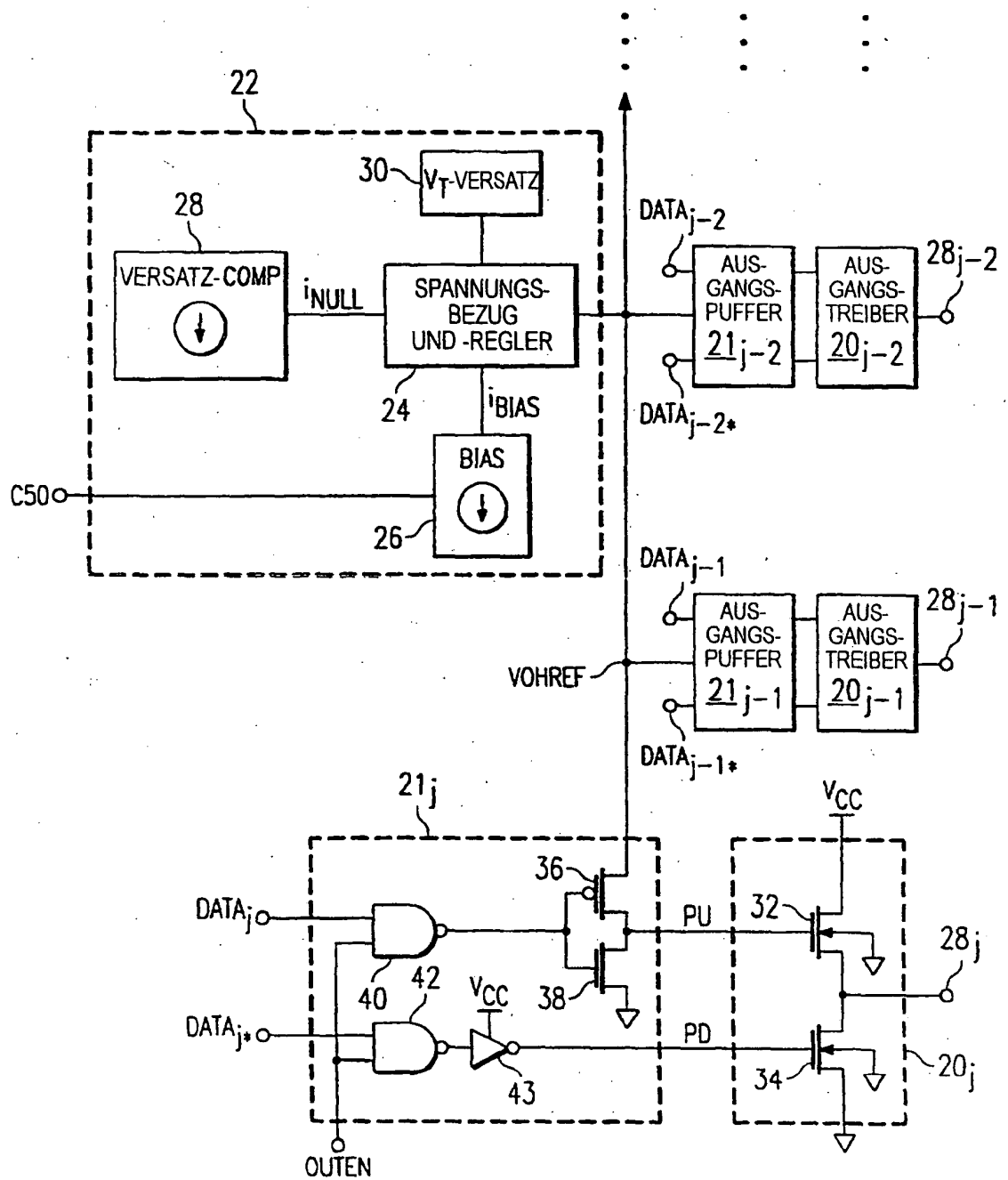


FIG. 2

FIG. 4

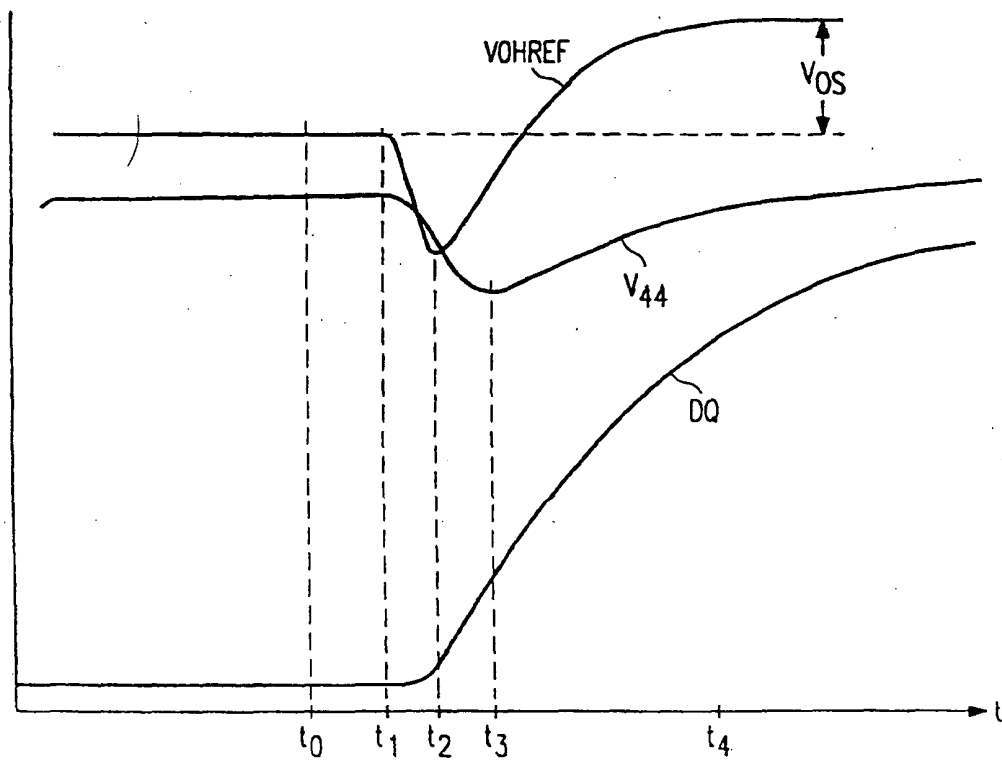
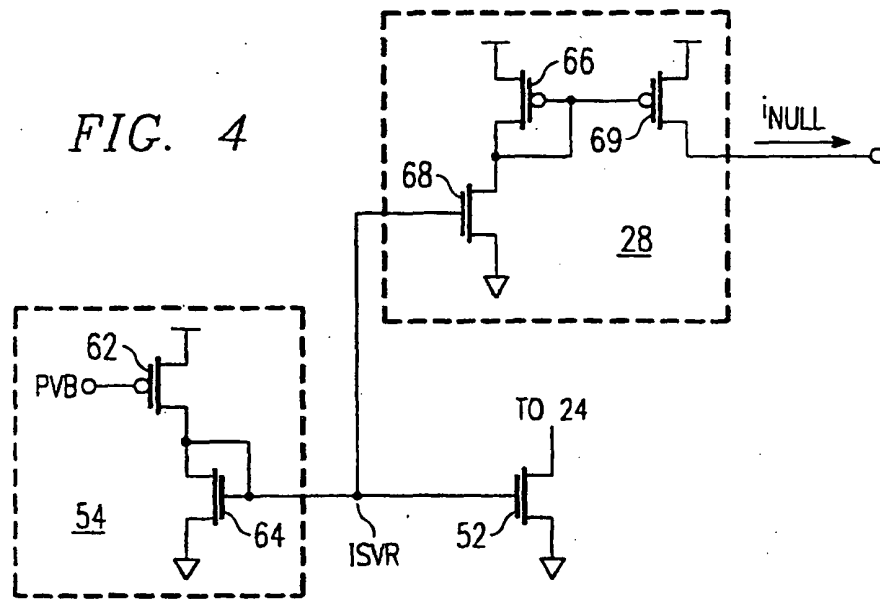


FIG. 5

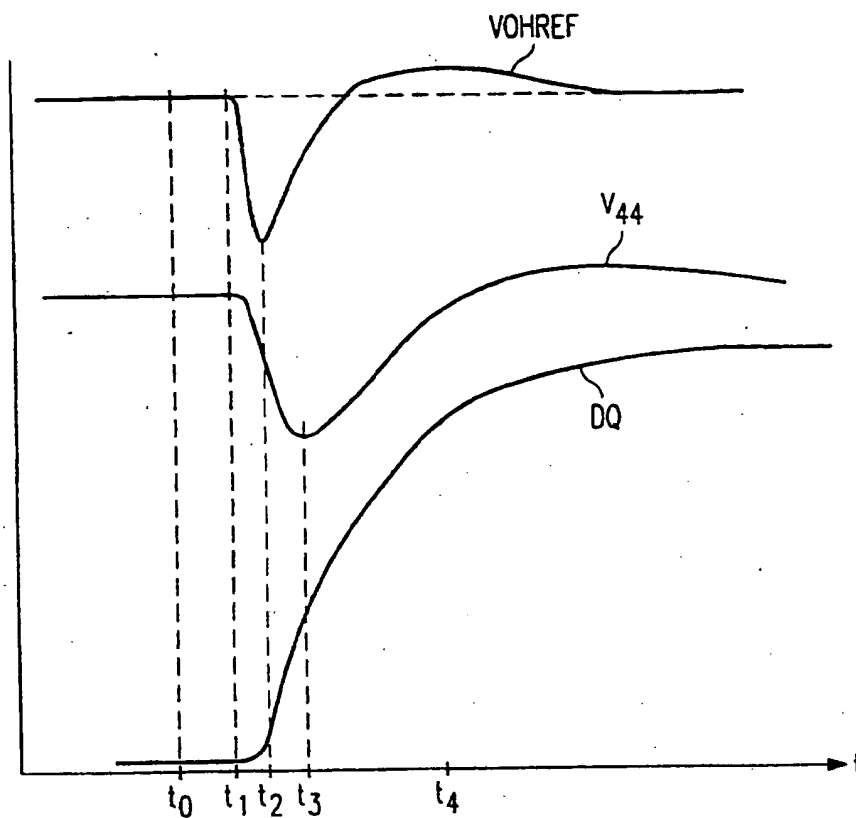


FIG. 6

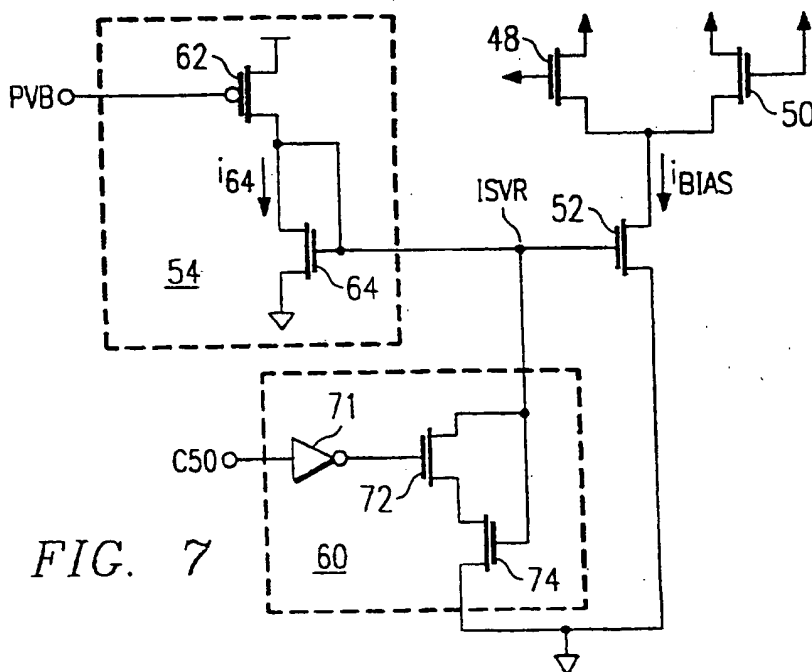


FIG. 7

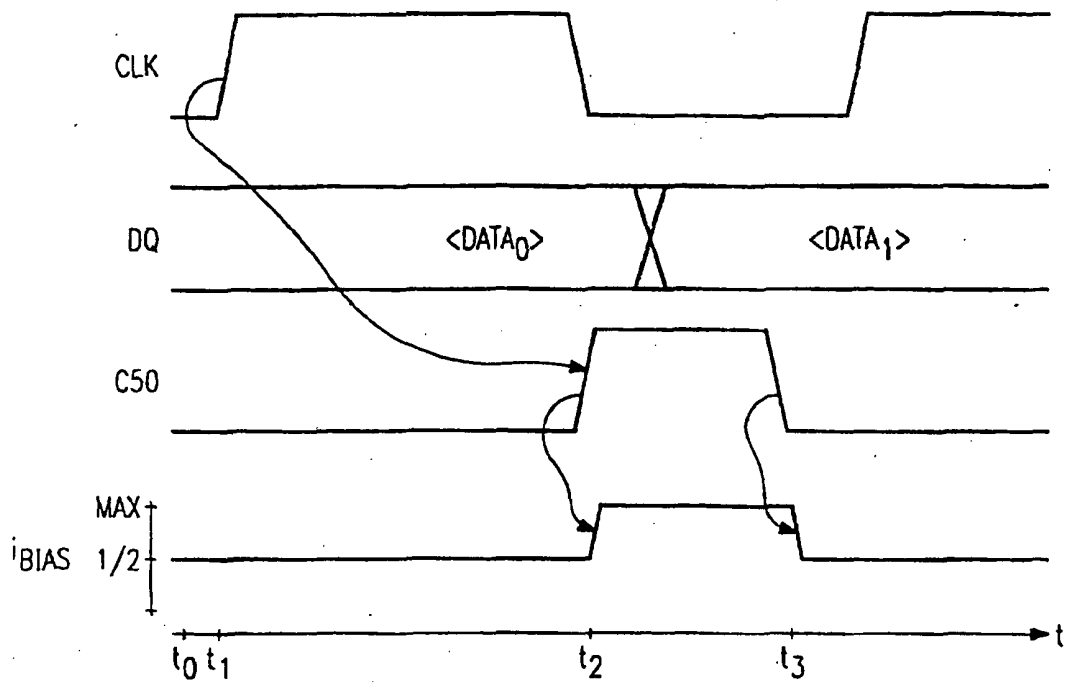


FIG. 8

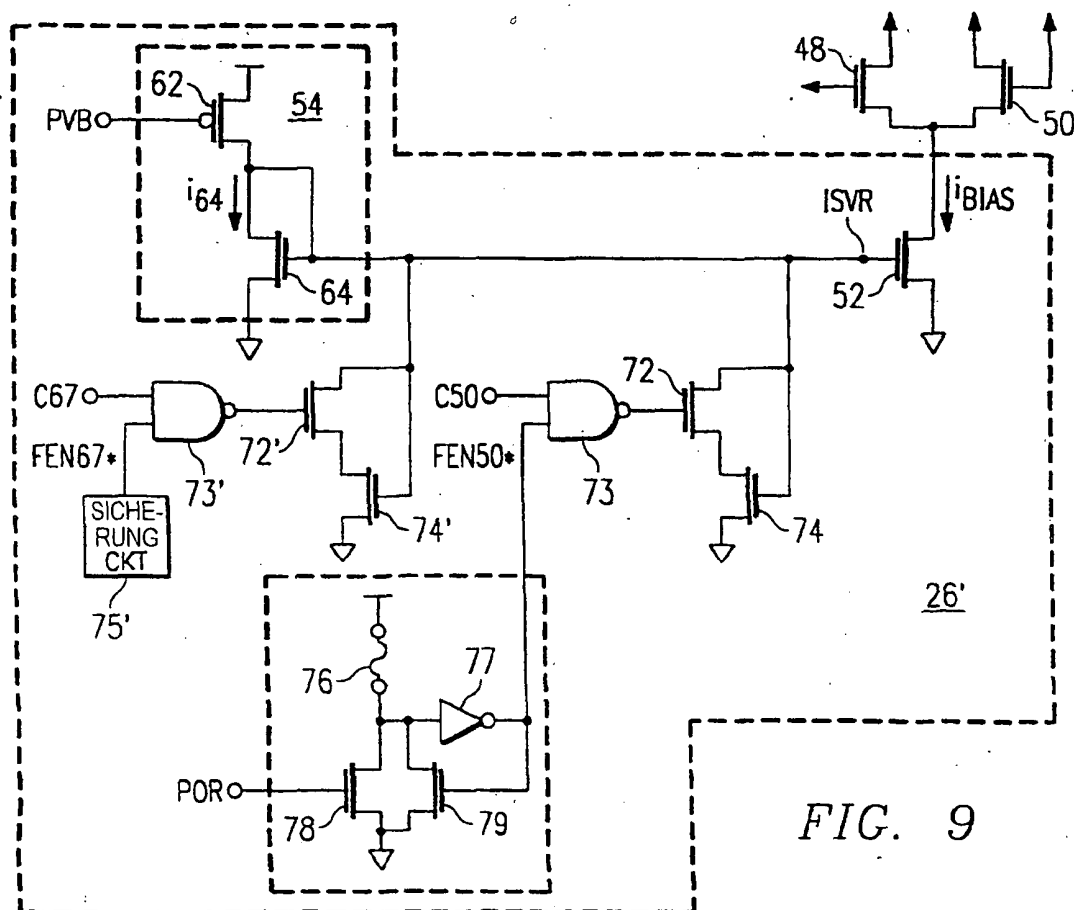
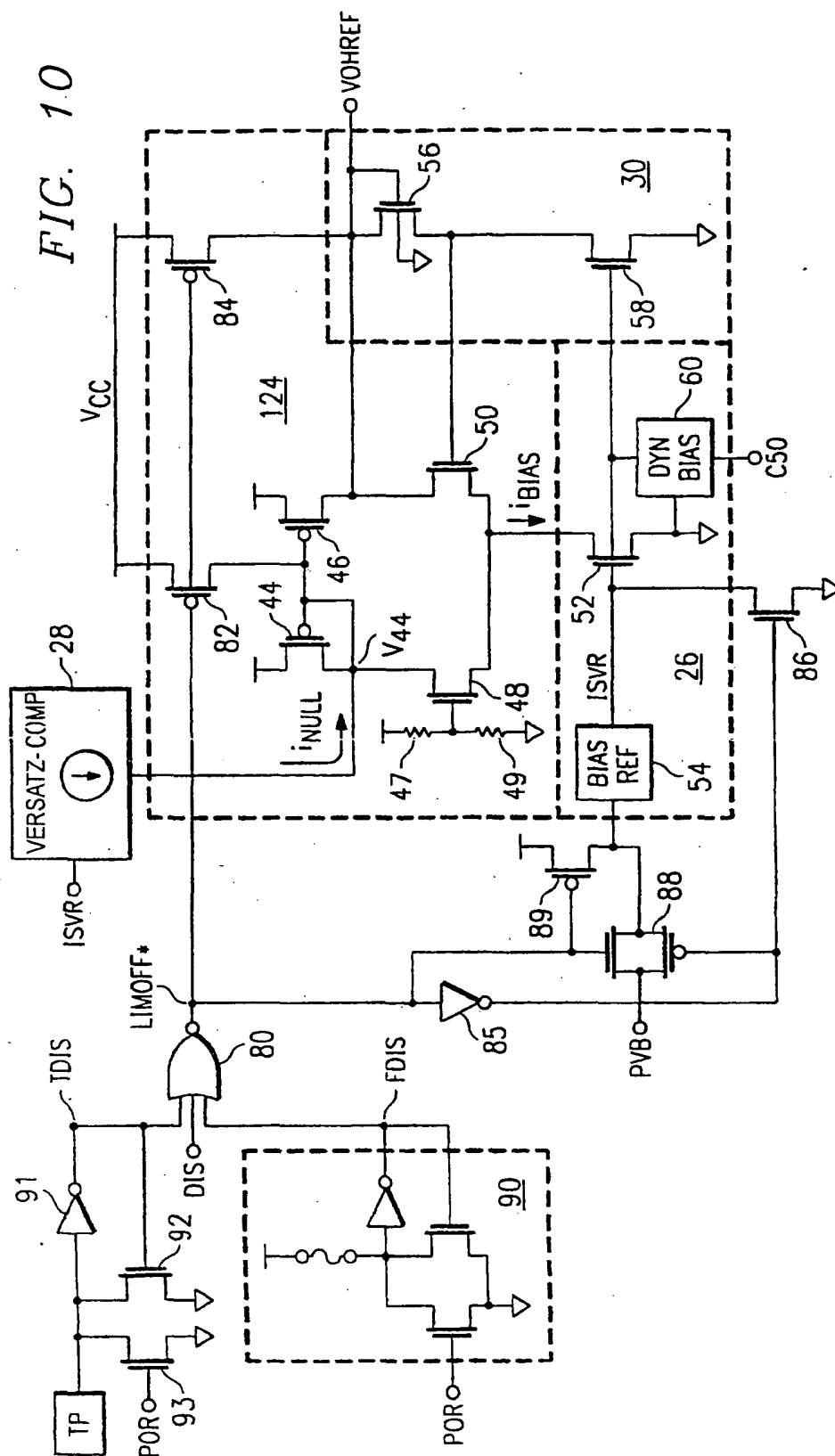


FIG. 9



FIG. 10



DOCKET NO: ll N-IT-462  
SERIAL NO: \_\_\_\_\_  
APPLICANT: Karl Schrödinger  
LERNER AND GREENBERG P.A.  
P.O. BOX 2480  
HOLLYWOOD, FLORIDA 33022  
TEL. (954) 925-1100